



WP455 (v1.0) 2014 年 8 月 15 日

UltraScale アーキテクチャ： 業界最高のデバイス使用率、 性能、拡張性

著者 : Nick Mehta

高性能アーキテクチャを備え、幅広いパッケージ移行をサポートする UltraScale™ デバイスでは、デザインを効率的に再利用して多様性に優れた次世代アプリケーションを構築できます。その結果、製品の差別化および市場投入に大きな優位性がもたらされます。

概要

デバイスは、世代を追うごとに集積度と性能が向上し、複雑化していきます。その一方で、競合より先に製品を市場投入することで成功を目指す設計者の勢いも衰えることはありません。

ザイリックスの UltraScale アーキテクチャは、従来アーキテクチャと比べて非常に多くの技術革新がなされているため、次世代アプリケーションに求められる性能、使用率、容量に十分対応できるデバイスとなります。アーキテクチャ互換の移行とパッケージフットプリント互換の移行を両方サポートする UltraScale デバイスを活用し、最大限にデザインを再利用して PCB の再設計作業を最小限に抑えることで、さまざまな特長を持つシステムをいち早く構築できます。

© Copyright 2014 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, UltraScan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

市場要求

多くの次世代市場およびアプリケーションで、システムの帯域幅と処理能力の大幅な向上が求められています。ワイヤード/ワイヤレス通信、ビデオ、画像処理など、いずれのアプリケーションにおいても、高まるデータスループット要件によって、すべてのシステムコンポーネントでトラフィックと要求が増加するという同じ結果が生じます。より多くのデータがパラレルおよびシリアル I/O を介してチップ上に到達します。その後データは、ロジックおよび DSP で処理される前に再びパラレル I/O (DDR メモリ) とシリアル I/O (シリアル メモリ) の両方を通してバッファされる必要があります。そして、パラレルおよびシリアル I/O を再び通って最終的に次のデスティネーションへ送信されます。

システムの処理要件はさまざまな理由から複雑化してきました。たとえば、大規模なデータパケットを高データレートで伝搬するには、高い周波数で動作する幅の広いパラレルデータバスが必要です。効率的にデータを処理するには、すべてのシステムを 1 つのデバイスに実装する必要があります。これによって、2 つの FPGA 間で膨大なデータを送受信する際に生じるレイテンシと消費電力がなくなり、1 つのデバイスに非常に高い集積度と性能が求められます。こうして高性能 FPGA が頻繁に使用されるようになり、デバイス使用率が高くとも性能を犠牲にすることなく、常に最大性能で動作できることが最も重視されています。

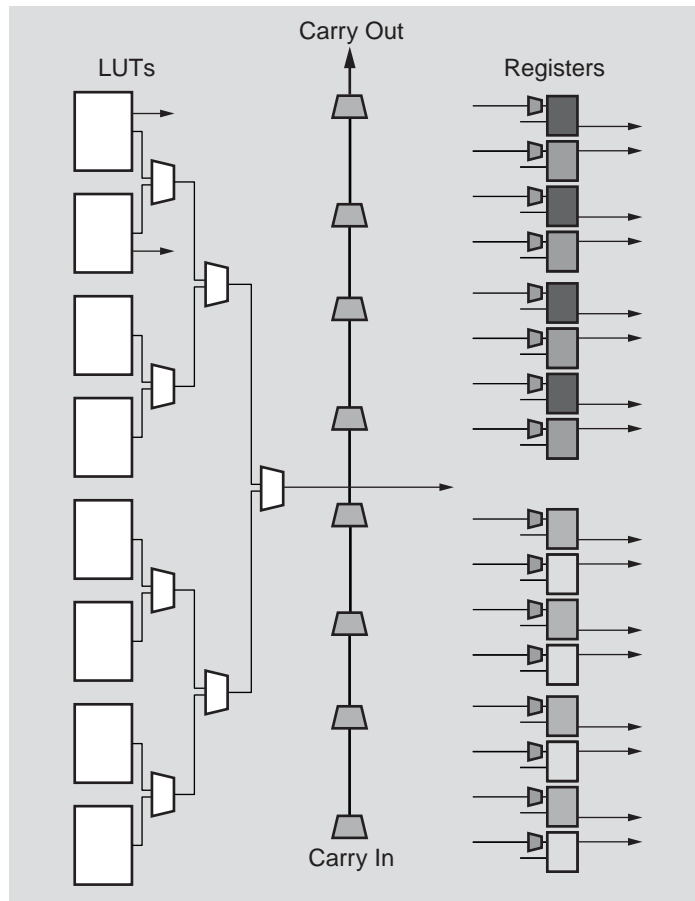
競争の激しい市場でエンジニアリングコストを抑えるため、デザインをできる限り再利用して、多様性を備えたシステムを構築する方法が一般化しています。1 つのデザインを使用して、目的別にローエンド、ミッドレンジ、およびハイエンドアプリケーションの要求を満たします。1 つのプラットフォームのさまざまなバリエーションが異なるデバイスを使用する方法が最も有効で、コスト効率にも優れています。

高性能デザイン向け ULTRASCALE アーキテクチャ

市場要求に応えるために、ザイリンクスは従来の FPGA アーキテクチャを見直し、長年高い評価を受けてきた従来型アーキテクチャをベースに、次世代デザインの課題に対応できるようにこれを再構築しました。かつてない広いデータバス幅に対応すると共に、かつてない高クロックレートでデータを処理および格納することを求める市場トレンドに応えるため、このような変更が必要でした。

ロジックおよびインターコネクト

FPGA アーキテクチャの主なロジック構築ブロックは、CLB (Configurable Logic Block) であり、この中には複数のレジスタおよびルックアップテーブルが含まれます。最高性能を達成するには、デザインのエレメントを密接にパックする必要があります。UltraScale アーキテクチャは、前世代 FPGA と比較して CLB が改良されているため、有効なリソースを最も効率的に使用して全体的なインターコネクト (総配線長など) を削減できます。効率的にコンポーネントを使用できる方法を模索するため、従来の CLB 構造 (図 1 参照) のあらゆる側面が見直されました。

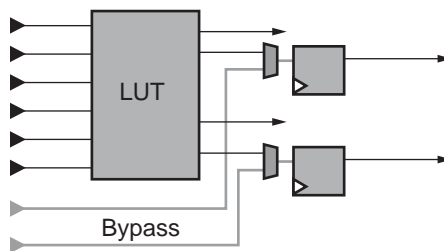


WP455_01_072414

図 1 : CLB アーキテクチャ

1つの CLB 構造にすべてのロジック リソースをまとめることで、多重化ステージを 1つ追加して多入力マルチプレクサと長い 8ビット キャリー チェーンを構築しています。これによって、より高速な演算機能が可能になります。

CLB で中心的な役割を果たすのは、ルックアップテーブル (LUT) とレジスタです (図 2 参照)。



WP455_02_061614

図 2 : LUT およびレジスタ

UltraScale アーキテクチャでは、すべてのエレメントがそれぞれにコネクティビティ (独自の入力および出力) を備えているため、関連性のない機能を効率的にパックできます。これによって、高性能でコンパクトなデザインが完成します。この特別なコネクティビティがあることによって、関連するレジスタへアクセスするために LUT を介して配線する必要がなくなります。UltraScale アーキテクチャの CLB に含まれるレジスタは、従来アーキテクチャでその数が 2 倍になったクロック イネーブル信号を活用することによって高い効果を発揮し、部分的に無視したり反転させるなどの属性の柔軟性も強化されています。柔軟性に優れた制御信号を多用することで、UltraScale アーキテクチャの各 CLB 内にあるリソースをすべて使用できるようにソフトウェアが柔軟に対応できます。

従来 FPGA テクノロジーの配線アーキテクチャを検証する際の最も大きな課題の 1 つは、デバイス集積度が増加するとロジックセルが N の 2 乗倍で増加することです。つまり、小規模デバイスから大規模デバイスへ移行すると、ロジックセル数が大幅に増加しますが、インターコネクトトラック数は単に N 倍で増加します。したがって、デバイス集積度が増加すると、ロジックリソース数に対するインターコネクトトラック数が大きく下回ります。

ロジックリソース数とインターコネクトトラック数の差を縮めることは、UltraScale アーキテクチャで解決できる課題の 1 つです。最初に、コンパクトさ、性能、柔軟性を改善するよう従来のインターコネクトのスイッチングアーキテクチャを再設計しました。また、UltraScale アーキテクチャでは、FPGA のインターコネクトにおける水平方向および垂直方向の配線トラック数を倍増し、A 点から B 点への直接配線も増加しました。

CLB およびインターコネクトのアーキテクチャが改善されたことで、Vivado® Design Suite がより柔軟にデザインを配置できるようになり、高集積度で高性能な FPGA が高いリソース使用率に達した場合でも、安定して高性能を維持できます。

従来および競合他社のソフトウェア ツールは、焼きなまし法 (配置の際にランダムな初期値の使用とランダムな移動によって、大域的な最適解を求める方法) をベースとする旧式技術を使用します。Vivado ツールの配置では、過密状態を緩和できます。解析機能を持つこの配置は、3 つの要素 (タイミング、密度、配線長) を同時に最適化してソリューションを見つける確実な機能です。UltraScale アーキテクチャと Vivado Design Suite (過密を認識してする配置機能を使用してデザインにおける過密を予測) による協調最適化によって、過密によるあらゆる問題を緩和します。高集積度 UltraScale デバイスが低いリソース使用率に達しても、安定的に高性能を維持し、予想どおりのソフトウェア ランタイムを提供します。

Vivado Design Suite を使用して UltraScale アーキテクチャを協調最適化した場合、1 つのデバイスにより多くのロジックをパックでき、ツールはデザイン全体の配線長が短くなるように最適化し、デバイス使用率の増加に関わらず安定的な高性能を実現します (図 3 参照)。

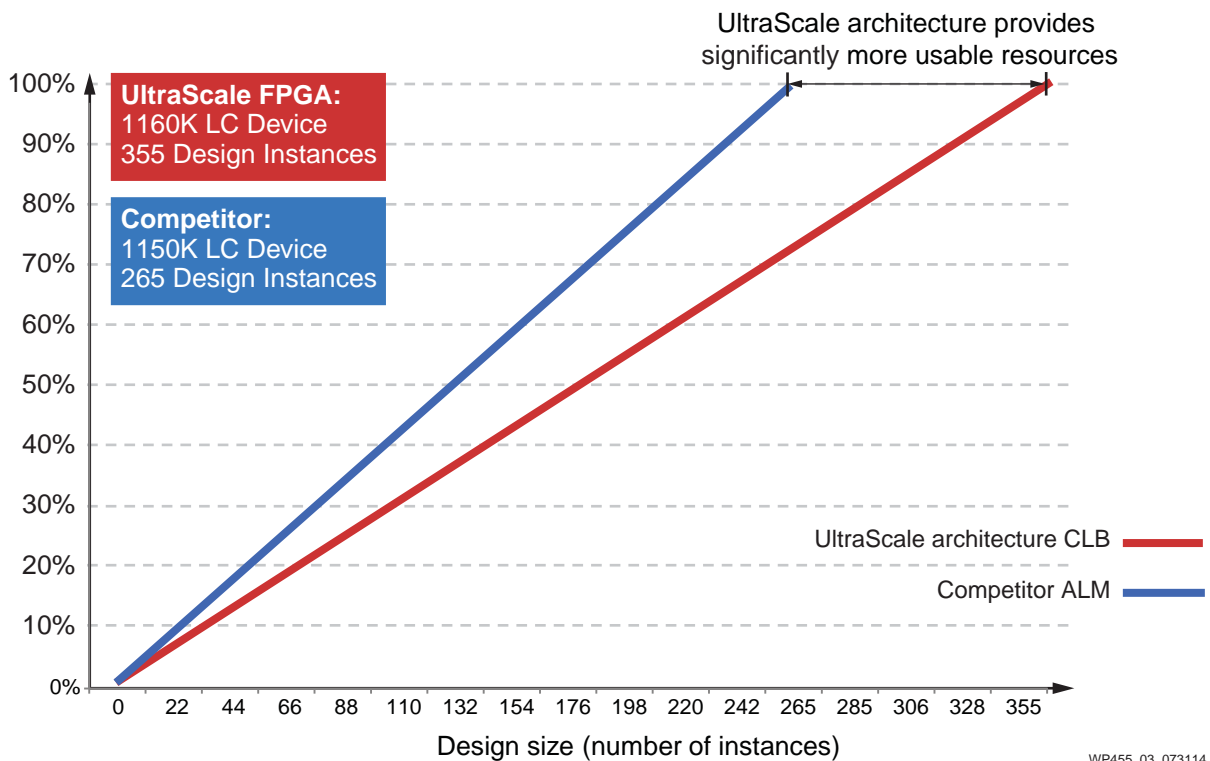


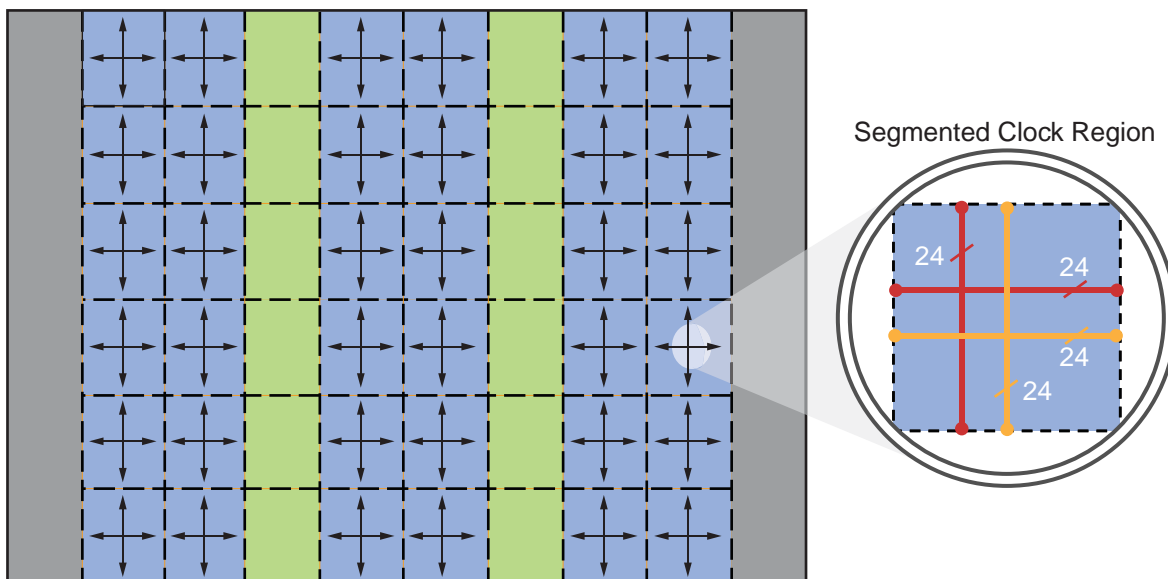
図 3 : 高集積度 UltraScale アーキテクチャのメリット

図 3 では、競合の大規模製品に対して、UltraScale アーキテクチャと Vivado Design Suite を使用した場合のデバイス使用率を示しています。いずれのアーキテクチャにも最適化されていない opencores.org のデザインの配線を両アーキテクチャで複数回実行し、それぞれのデバイスの使用率を観察しました。UltraScale アーキテクチャの効率的なパッキングは、Vivado Design Suite で 355 個のデザイン インスタンスを FPGA に入れることができました。競合のアーキテクチャでは、265 個のインスタンスが配置された時点でリソース使用率が 100% に達し、それ以上は配置できなくなりました。結果として、UltraScale アーキテクチャは、競合アーキテクチャと比較した場合、同等サイズのデバイスに極めて多くのデザインをパックできることがわかりました。

ASIC 方式のクロッキング

UltraScale のクロッキング アーキテクチャ (図 4) は設計されており、前世代 FPGA とはまったく異なります。垂直方向と水平方向の両方に同一マトリクスのクロック配線トラックとクロック分配トラックがあります。クロック配線トラックによって、クロック ネットワークの中心をそのクロック信号で駆動されるロジックの中央に配置できます。そして、クロック分配トラックによって、クロック信号が任意のデスティネーションへ分配されます。この構造では、前世代 FPGA アーキテクチャより多くのクロック ネットワークが可能になり、デザインの最大性能で動作した場合のクロック スキューが大幅に削減されます。

すべての UltraScale FPGA は、高さと幅が固定されたクロック領域に分割されています。すべての領域は CLB 60 個分の高さで、ロジック、ブロック RAM および DSP と同じ幅であるため、信号が各クロック領域を通過する時間は等しくなります。クロック領域すべてに、各 24 本の垂直方向と水平方向のクロック配線トラック、および各 24 本の垂直方向と水平方向のクロック分配トラックがあります。



WP455_04_061714

図 4: UltraScale のクロッキング アーキテクチャ

クロック配線トラックとクロック分配トラックはすべて接続されているため、これらを使用してデバイス全体にクロックを供給できますが、クロック領域境界でセグメント化も可能です。この場合のセグメント化とは、クロック信号が必要な場所でのみ駆動されることを意味します。これはまさに ASIC のようなクロッキング方式です。必要な場所でのみクロック信号を駆動する別の利点として、必要のないトランジスタの切り換え動作を削減することで、結果としてダイナミック消費電力を抑えることができます。

この新しいクロック配線手法のほかにも、クロック バッファの種類および数が改善されました。クロック バッファの数は大幅に増加しています。32 個のグローバル クロック バッファが中央に配置されていましたが、水平方向配線とクロック マネジメント列のすべての接合部に 24 個のグローバル対応バッファが配置されるようになりました。つまり、最大容量の UltraScale デバイスでは、720 個のグローバル対応クロック バッファが含まれることになります。バッファ数の増加を考慮し、クロック バッファの種類が少なくなっています。前世代アーキテクチャと比べて、バッファの種類と制約が減少したため、使用するバッファを判断する作業が以前より極めてシンプルになります。

ULTRASCALE アーキテクチャの拡張性

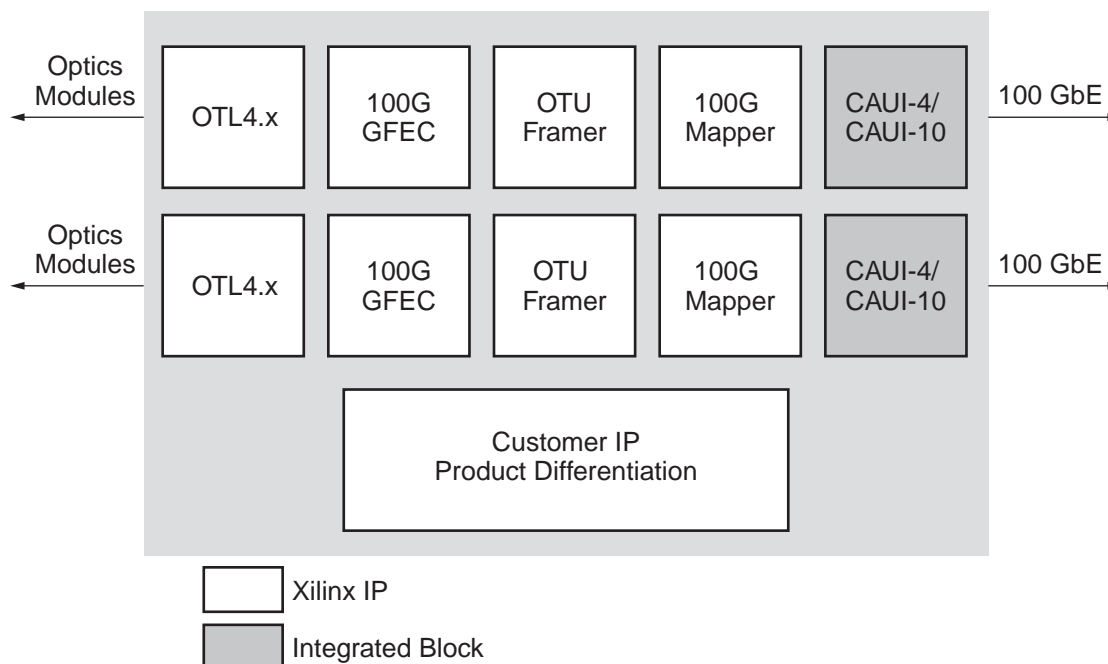
すべての UltraScale FPGA は、このホワイト ペーパーで説明するメリットを享受できる同じ基本アーキテクチャを使用します。Kintex UltraScale あるいは Virtex UltraScale (20nm/16nm) であっても、基本となる FPGA アーキテクチャは同じであるため、UltraScale FPGA をターゲットとするすべてのデザインおよび IP は別の UltraScale FPGA で簡単に再利用できます。このような UltraScale ファミリー間におけるデザインと IP の簡単な移行は、UltraScale FPGA 上で同じシステムのさまざまなバリエーションを構築可能にするために最も重要です。

FPGA 間の切り替え時に PCB を再設計する作業を最小限に抑えることも同様に重要です。UltraScale ファミリーは、フットプリント互換のパッケージで多様なデバイスを提供しています。UltraScale FPGA では、パッケージ識別子の最後の文字と数の列に基づいてフットプリントの互換性を識別できます。たとえば、「D1924」で終わるパッケージの UltraScale FPGA は、「D1924」と付いたその他すべてのパッケージの UltraScale FPGA と互換性があります。20nm や 16nm FinFET プロセスで構築された Kintex UltraScale FPGA と Virtex UltraScale FPGA 間におけるパッケージ フットプリント互換の移行は、この識別子で判断できます。

光伝送ネットワーク (OTN) 伝送および多重化アプリケーションは、パッケージ フットプリント移行の価値を示す良い例です。ソーシャル ネットワーキングや民生用ビデオ アプリケーションが急増し、企業やデータ センター カスタマーが高品質かつ高信頼性を求めるようになり、インテリジェントなデータ処理機能への要求が急激に増加しています。データ伝送を担うワイヤード通信のインフラ構造は、システム リソースを増加し続けるか、ドライブに多くのリソースとシステム インテリジェンスを組み合わせて効率的にデータを処理することで、これらの要求に絶えず対応していく必要があります。

NEP (ネットワーク機器プロバイダー) 向けに多数の OTN SmartCORE™ ソリューションがザイリンクスから提供されているため、開発者は革新的な製品開発や最終製品の差別化に集中でき、高性能かつ高信頼性への要求に応えることができます。このカスタマイズ可能な IP を利用することで、基本的なシステム機能を構築する際に、フレーマー、マッパー、FEC (前方誤り訂正) ブロックなどのシステム内の構築ブロックの実装あるいは複製が容易になります。FPGA 内の残りのリソースは、任意の差別化機能を作成するために使用可能です。この方法により、頻繁に使用される特定機能の設計時間が短縮されるだけでなく、貴重なエンジニアリング リソースをより高度で、より高い利益をもたらすタスクに割り当てることが可能です。

図 5 に、Virtex UltraScale 095 FPGA に構築された 2x100G トランスポンダーの例を示します。



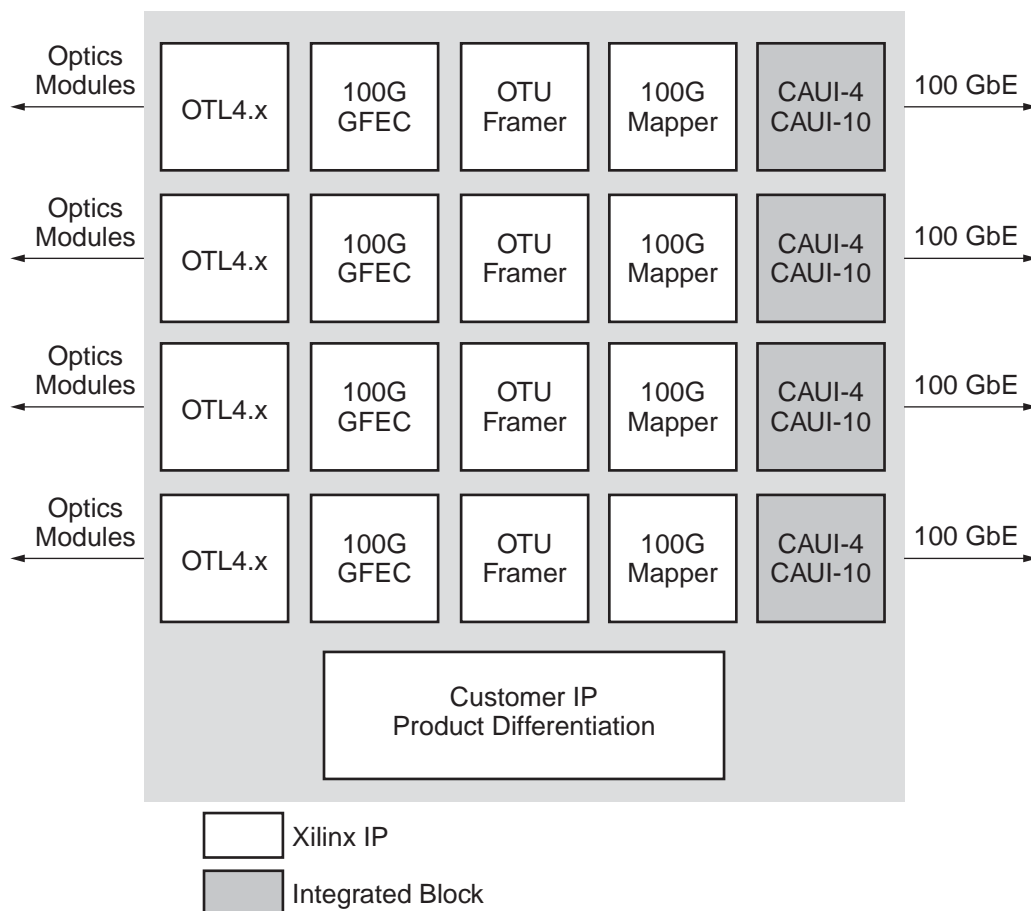
WP455_05_073114

図 5: 2x100G トランスポンダ

図に示すとおり、システム コンポーネントのほとんどは、実装や複製が簡単なザイリンクスの SmartCORE IP です。その上、このアプリケーションでは、Virtex UltraScale デバイスで利用できる Ethernet 用統合ブロックを活用しています。各ブロックは 100G のイーサネット通信が可能で、使用するトランスシーバースピードに応じて AUI-4 モードまたは CAUI-10 モードに指定で

きます。CAUI-4 は 25.78125Gb/s のトランシーバーを 4 つ使用し、CAUI-10 は 10.3125 Gb/s のトランシーバーを 10 個使用して 100G イーサネット チャネルを構成します。Ethernet 用統合ブロックのほかに、UltraScale デバイスには Interlaken 用統合ブロックがあります。これらのブロックは、レーンとデータ レートのコンフィギュレーションによって、10Gb/s ~ 150Gb/s までの伝送スピードが可能です。UltraScale アーキテクチャの GTH および GTY トランシーバーは共に 0.5Gb/s ~ 16.3Gb/s のデータ レートをサポートし、GTY トランシーバーは最大 32.75Gb/s で動作可能です。OTL4.10 の光モジュールを駆動 (10/11Gb/s) するには、最大 16.3Gb/s が可能で同じ機能を備えた GTH または GTY トランシーバーのいずれかを使用できます。OTL4.4 (25/28Gb/s) には GTY トランシーバーを使用します。

エンドユーザーにより高い機能とスループットを提供するためシステムに拡張性を備えることは、装置ベンダーにとって常識です。Virtex UltraScale 095 FPGA で 2x100G トランスポンダーを構築した際に使用した構築ブロックを利用し、Virtex UltraScale 160 FPGA で 4 x 100G トランスポンダーを構成することで、1 つのデバイスに大規模な 400G イングレスおよびイグレスを構築できます。すべての UltraScale アーキテクチャが同じリソースを共有するだけでなく、ファミリ間でパッケージを移行することによって、同じボードに別のデバイスを使用し、最小限の変更を加えるだけでデザインを完成させることが可能です。図 6 に、VU095 とフットプリント互換のパッケージを使用して Virtex UltraScale 160 に構築した 4 x 100G トランスポンダーを示します。



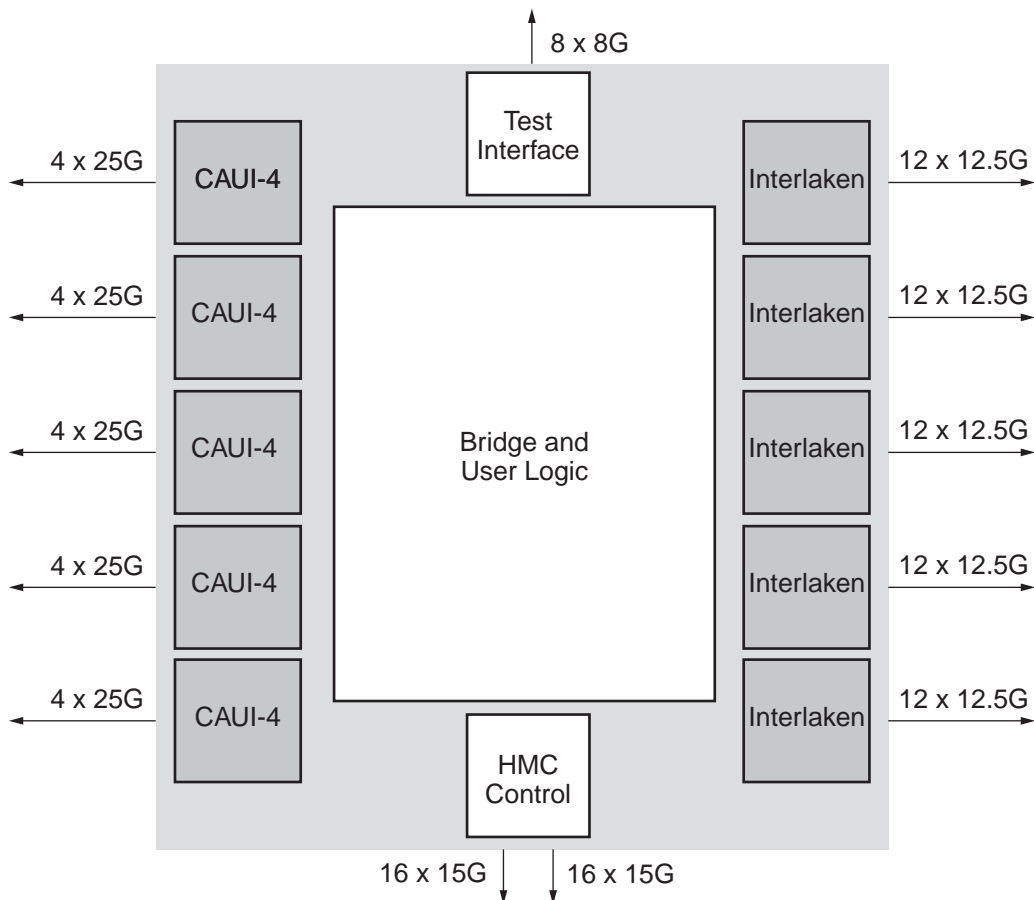
WP455_06_072414

図 6 : 4 x 100G トランスポンダ

ザイリンクスの SmartCORE IP を実装した場合、VU160 デバイスの有効なロジック リソースの約 60% を消費します。UltraScale アーキテクチャは効率性に優れているため、90% 以上のロジック使用が可能です。つまり、この例では、FPGA のリソースが 30% 以上残っているため、NEP はカスタム IP を実装して最終製品に差別化をもたらすことが可能になります。

業界初の帯域幅とコネクティビティ

Virtex UltraScale FPGA は無類のハイエンド デバイスであり、20nm プロセスを採用した業界唯一のソリューションです。Virtex UltraScale ファミリーは、業界で最も多くのトランシーバーを搭載した FPGA (Virtex UltraScale VU190) で、かつてない性能とコネクティビティを提供します。この FPGA には約 200万個のロジック セル、130Mb 以上のオンチップ RAM、1000 以上のパラレル I/O ピン、そして最大 120 個のシリアル トランシーバーが統合されており、シングル パッケージ デバイスで 500G システムを実現できます (図 7 参照)。



WP455_07_072414

図 7: 500Gブリッジアプリケーション

図 7 に、120 個のトランシーバーを搭載した 1 つの FPGA で実現した 500G ブリッジ アプリケーションを示しています。各チャネルは、12 個の 12.5Gb/s トランシーバーを使用する Interlaken ブロックを介してバックプレーンと接続しています。ブリッジの反対側では、各 100G リンクに対して 4 個の 25.78125Gb/s トランシーバーを使用する 100G イーサネット でデータが転送されます。メインのブリッジ アプリケーションのほかに、このブリッジは、データを格納するためのシリアル メモリヘインターフェイスする必要があります。このインスタンスでは、HMC の最大データ レート (15Gb/s) で動作する 2 本の 16 チャンネル リンクが接続されています。XC7VU190 デバイスで利用できる残り 8 個のトランシーバーを使用し、任意のインターフェイスを実装できます。この場合、残りのトランシーバーと 8Gb/s の Gen3 データ レートで動作する PCI Express 用統合ブロックを使用して PCI Express® のテスト インターフェイスを実装しています。これらの 8 個のトランシーバーを同じように使用して、10G-KR などのプロトコルを用いてさらなるバックプレーン通信を提供したり、RXAUI などのプロトコルでシステム内の別の FPGA と通信することも可能です。

高帯域幅への要求が絶えず高まる中、将来的には 500G を超えてテラビット級のアプリケーションが台頭するでしょう。現世代の UltraScale FPGA にフットプリントおよびアーキテクチャの互換性があるのに加えて、TSMC 社の 16nm FinFET プロセスを採用して構築される次世代 UltraScale FPGA への確実にシンプルな移行パスがあるため、業界最高の性能と帯域幅を備える次世代アプリケーションを今から構築できます。

まとめ

次世代アプリケーションの要求に応えるためにデバイスのサイズと複雑性が増した結果、非常に大規模な高性能 FPGA が必要とされるようになりました。1つのデバイスに多くの機能を搭載することは非常に大きなメリットをもたらしますが、高帯域幅で高速なデザインの配線や、デザインの部分的な再利用はやはり容易ではありません。ザイリンクスは、これらの問題を解消するために、すべての UltraScale デバイスに新しく高性能なアーキテクチャを導入し、性能を落とすことなく高いリソース使用率を達成できるようにしました。UltraScale アーキテクチャと IP の移行に加えて、フットプリント互換のパッケージ移行もサポートしているため、市場要求の変化に応じてアプリケーションを自在に拡張できます。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2014年8月15日	1.0	初版

DISCLAIMER

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx’s limited warranty, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

AUTOMOTIVE APPLICATIONS DISCLAIMER

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。