



WP464 (v1.0) 2015 年 6 月 30 日

UltraScale アーキテクチャ デバイスの PCI Express

著者 : Jason Lawley

シンプルなレジスタ アクセスから数百ギガビット データの転送まで、UltraScale™ アーキテクチャが備える最新の PCI Express® 用統合ブロックは、次世代システムに対応するさまざまなコネクティビティを可能にします。

概要

PCI Express プロトコルの導入以来、ザイリンクスは FPGA とベースとする PCI Express ソリューションのリーダーとして業界を牽引してきました。Virtex®-II Pro ファミリのソフト IP ロジックをベースとした FPGA ソリューションに始まり、Virtex-5 FPGA ファミリーで初めて PCI Express 用統合ブロックを搭載し、その後 Virtex-6、Spartan®-6、およびザイリンクス 7 シリーズ デバイスでもそれを継続しています。

ザイリンクスの UltraScale™ アーキテクチャ デバイスは、最新の PCI Express 用統合ブロックを FPGA 内に備えています。

ザイリンクスはこのような経過から得たさまざまな知識と経験を基に、使いやすく、機能豊富で、高性能な PCI Express ソリューションを開発しています。

© Copyright 2015 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, UltraScan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

ULTRASCALE アーキテクチャの PCIe 用統合ブロック

2003 年に PCI-SIG® (PCI Special Interest Group) によって導入されて以来、PCI Express は、プロセッサ通信向けの事実上の業界標準規格となりました。ザイリックスは、この規格に準拠した IP を提供する業界初のプログラマブル ロジック企業である、今日まで最先端の性能および機能を誇る PCIe を提供し続けています。

2010 年 11 月に Gen3 のリンク速度 (8.0GT/s) が制定され、Gen4 のリンク速度はその 2 倍の 16GT/s が予定されています。ザイリックス UltraScale アーキテクチャは、Gen1 (2.5GT/s) から、今後予定されている Gen4 (16GT/s) までのすべてのリンク速度をサポートします。表 1 を参照してください。

表 1: 「PCI Express Base Specification」の詳細

PCI 仕様	リンク速度	エンコード方式/ 追加オーバーヘッド	理論上の最大帯域幅 ⁽¹⁾
Gen1	2.5GT/s	8B/10B = 20%	2.0Gb/s
Gen2	5.0GT/s	8B/10B = 20%	4.0Gb/s
Gen3	8.0GT/s	128B/130B = 1.5%	7.88Gb/s
Gen4	16.0GT/s	128B/130B = 1.5%	15.76Gb/s

注記:

1. パケット オーバーヘッド、トラフィック オーバーヘッド、その他システムの非効率性によって、実際に達成できるシステム帯域幅は理論上の最大帯域幅よりも小さくなります。

UltraScale アーキテクチャ デバイスには、主に 3 つがあります。

- UltraScale FPGA
 - Gen3 x8 までをサポートする 20nm デバイス
 - Kintex UltraScale および Virtex UltraScale ファミリーなど
- UltraScale+™ FPGA
 - Gen3 x16 および Gen4 x8 までをサポートする 16nm FinFET デバイス
 - Kintex UltraScale+ および Virtex UltraScale+ ファミリーなど
- UltraScale+ MPSoC
 - 16nm FinFET デバイスであるが、プログラマブル サブシステム (PS) とプログラマブル ロジック (PL) 領域の両方で構成されている
 - Zynq UltraScale+ MPSoC など
 - PL 領域には、Gen3 x16 および Gen4 x8 までをサポートする UltraScale+ FPGA と同じ PCIe 用統合ブロックが含まれます。PS 領域には、Gen2 x4 までをサポートする PCIe 用統合ブロックが含まれ、さらにユーザーがオプションで有効化できるビルトインの PCIe DMA エンジンがあります。

このホワイト ペーパーでは、FPGA および MPSoC の PL 領域に含まれる PCIe 用統合ブロックに焦点を当てています。

表 2 に、各ファミリのサポート レベルを示します。

表 2: サポートされる PCIe レーン幅と速度

UltraScale アーキテクチャ デバイス ⁽¹⁾	PCIe の種類	ブロック数	ソフト PCIe IP
Kintex® UltraScale	Gen3 x8	2-6	Gen3 x8
Kintex UltraScale+	Gen3 x16 Gen4 x8	0-5	
Zynq UltraScale+⁽²⁾	Gen3 x16 (PL) Gen4 x8 (PL) Gen2 x4 (PS)	— 0-5 (PL) 1 (PS)	
Virtex UltraScale	Gen3 x8	2-6	
Virtex UltraScale+	Gen3 x16 Gen4 x8	2-6	

注記:

- これらのリンク先は、各ファミリの『製品表および製品セレクションガイド』です。
- すべての Zynq UltraScale+ MPSoC デバイスの PL に PCIe 用統合ブロックがあるわけではありません。詳細は、『[Zynq UltraScale+ MPSoC 製品表および製品セレクションガイド](#)』を参照してください。

高度な機能

PCIe 用統合ブロックには、SR-IOV (Single Root I/O Virtualization)、データ ストラドル、高速デバイス コンフィギュレーション (タンデム) などの高度な機能が含まれているため、ユーザーが PCI Express ソリューションを最適化できます。これらの機能の詳細は、『[UltraScale アーキテクチャの PCIe 機能](#)』で説明します。

PCIe 用統合ブロックのほかにも、ザイリンクス アライアンス パートナーの Northwest Logic 社および PLDA 社は、UltraScale アーキテクチャ デバイス向けに Gen3x8 ソフト IP ソリューションを提供しています。詳細 (資料、ビデオ、PCIe をサポートするザイリンクス デバイス一覧を含む) は、『[PCIe 製品のウェブ ページ](#)』を参照してください。

拡張性があり、最適化されている PCIe 用統合ブロックのアーキテクチャは、AXI4 ユーザー インターフェイスと使用することによって、低コスト アプリケーションから超高性能アプリケーションまで、すべての UltraScale アーキテクチャ デバイス間でデザインの移行および再利用を容易にします。

PCIe 用統合ブロックは、シンプルな GUI ベースのツール フローを使用してコンフィギュレーションでき、エンドポイント、ルート ポート、リンク幅、リンク速度、デバイス ID、BAR レジスタ サイズなど、多数のオプションを設定できます。また、さまざまな使用モード (IP インテグレーター (IPI)、標準 RTL など) の選択も可能です。Vivado® Design Suite の一部である IPI を使用することで、この統合ブロックをその他の IP やインターコネクトへ容易に接続できます。

GUI を使用して PCIe IP をカスタマイズした後、シンプルなサンプル デザインを生成するオプションがあります。このサンプル デザインは、コンフィギュレーションした IP から生成でき、インプリメントとシミュレーションの両方を実行できます。サンプル デザインを作成するための IP 生成では、PCIe インターフェイスを備えた [KCU105](#) などの開発ボードを利用できるため、デザインをすぐにハードウェアにロードしてテストできます。

便利な開発ボードやインプリメンテーション ツールのほかに、ザイリンクスはターゲット リファレンス デザインも提供しています。このデザインは、完全検証済みのサポートされたアプリケーション サンプルとして利用でき、迅速な開発をサポートします。ターゲット リファレンス デザインには、DMA コントローラー、カスタム IP、デバイス ドライバー、およびソフトウェア アプリケーションなど、PCIe デザインに必要なすべてのコンポーネントが含まれます。

PCIe のターゲット リファレンス デザインについては、次のサイトから各評価キットの説明を参照してください。

<http://japan.xilinx.com/products/boards-and-kits.html>

ULTRASCALE アーキテクチャの利点

UltraScale アーキテクチャには、できる限り高性能な PCIe デザインをインプリメントするための機能が多数あります。このセクションで説明する項目は、PCIe デザインを最大の能力で動作させると同時に、デザインプロセスをシンプルにします。

データ スループットとパフォーマンス

PCI-SIG は、新世代 (Gen3 と Gen4 を含む) PCIe の事実上のデータスループットを 2 倍にするという目標を定めています。事実上のデータ スループット (「事実上のデータ転送 レート」とも呼ばれている) は、8GT/s または 16GT/s リンク速度などのローデータ転送速度とは異なります。事実上のデータ スループット値は、次の変数の影響を受けます。

- レーン幅
- リンク速度
- システムの最大ペイロード サイズと最大読み出し要求サイズ
- エンコード損失
- DMA のスキッター/ギャザー オーバーヘッド

事実上のデータ スループットおよびパフォーマンスに影響を与えるこれらの変数の詳細は、『PCI Express システム パフォーマンスの理解』(WP350) を参照してください。

UltraScale+ デバイスの PCIe 用統合ブロックは、最大ペイロード サイズが 256 バイトのシステムで、Gen3 x16 または Gen4 x8 として動作するように設定した場合、片方向 14GB/s 以上の持続スループットを提供します。これらのデータ レートは、スループット テスト アプリケーションとして特別に作成された内部のテスト デザインを使用して取得した値であり、与えられたシステムにおける PCIe コアの最大スループットを示します。

より現実的な実世界のスキッター/ギャザー DMA 機能を使用した場合、実際のデータ スループットは多少低下します。スキッター/ギャザー DMA を使用した場合に予想できる妥当な事実上データ スループットは約 13GB/s (片方向) となりますが、前述の変数値の影響によって変動します。このパフォーマンスを実証したデモ ビデオは、[PCI Express](#) のウェブ ページからご覧ください。

UltraScale アーキテクチャには、高性能で低レイテンシのインターコネク트가豊富に含まれているため、最大データ帯域幅の 28Gb/s に対応できる高性能なデータ バスが構築できます。

トランシーバーの利点

UltraScale アーキテクチャ デバイスのトランシーバーには、PCIe のデータ レートで確実な動作を可能にする機能があります。これらの機能は次のとおりです。

- トランスミッター エンファシス/イコライゼーション
- 自動適応イコライゼーション

トランスミッター エンファシス回路は、高周波チャネルでの挿入損失を低減させることを目的としており、3 タップ FIR フィルタとして実装されます。3 つのタップとは、プリ カーソル、メイン カーソル、ポスト カーソルです。これらのタップはプログラム可能で、PCIe のプリセット値やリンク パートナー指定のタップ値などすべてに対応できます。通常、これらの値は PCIe Link Equalization プロトコルによって自動で設定されるため、ユーザーが明示的に示す必要はありません。GTH および GTY トランシーバー内の CTLE (Continuous Time Linear Equalizer) 回路と DFE (Decision Feedback Equalizer) 回路が連動して、最大 25dB の損失を補償します。CTLE および DFE は、入力される信号を継続的に監視する完全自動適応型のアルゴリズムを採用して、ハイパス フィルター ファンクションの周波数応答を最適調整します。この自動適応機能によってユーザーの負担が軽減され、オーバー イコライゼーションやアンダー イコライゼーションの問題が解決されます。

DFE タップは、反射や高損失チャネルを補正します。この補正機能は、ワイヤード通信やデータ センター アプリケーションで一般的に使用されますが、バックプレーンで PCIe が使用される場合には特に有効です。UltraScale アーキテクチャ トランシーバーに含まれる高度なイコライゼーション機能の詳細は、『UltraScale FPGA トランシーバーを活用した高速シリアル I/O コネクティビティの実現』(WP458) を参照してください。

メモリ帯域幅

ほとんどの PCIe アプリケーションでは、データバッファリング用にメモリを使用します。一般的には DDR SDRAM が使用されます。

スカッター/ギャザー DMA 使用時として予想されたスループット 13GB/s は、ザイリンクス DDR4 メモリ ソリューションに適しています。図 1 を参照してください。

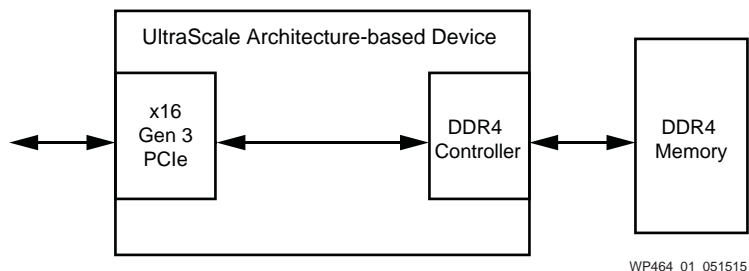


図 1: DDR4 メモリを UltraScale アーキテクチャ デバイスへ接続

メモリ帯域幅の要件を判断する際には、2.5 倍の帯域幅乗算係数を使用して、読み出し/書き込みの両方向とメモリアドレスリングなどの追加オーバーヘッドを計算に入れる必要があります。

たとえば、PCIe リンクから 13GB/s で持続的にデータ転送を行い、すべてのデータのバッファリングに DDR4 メモリを使用する場合は、次の式を使用してメモリ帯域幅およびインターフェイス幅の要件を判断できます。

メモリ帯域幅の要件を判断

持続的な転送に必要な総メモリ帯域幅

$$13\text{GB/s} * 2.5 = 32.5\text{GB/s}$$

例: 2133Mb/s DDR4 対応メモリを使用している場合、32.5GB/s を持続させるにはどれくらい広域なデータ インターフェイスが必要になるかを計算できます。

Gb/s へ変換

$$32.5\text{GB/s} * 8 \text{ bits/byte} = 260\text{Gb/s}$$

DDR4 メモリに必要なインターフェイス幅

$$260\text{Gb/s} / 2133\text{Mb/s per pin} = \sim 122 \text{ pins}$$

この計算は、2133Mb/s で動作する 2 つの標準的な 72 ピンの DDR4 インターフェイスは、x16 Gen3 PCIe リンクからの全二重データに対応できることを示しています。

1,600Mb/s などの低速 DDR データレートをサポートするデバイスでは、ピンとコンポーネントを追加する必要があります。

UltraScale アーキテクチャのメモリ ソリューションの詳細は、『UltraScale アーキテクチャ FPGA で高性能かつ低消費電力なメモリ インターフェイスを実現』(WP454) を参照してください。

拡張性があり、最適化された AXI インターフェイス

AMBA®4 AXI4 仕様に準拠しているため、一貫した方法で IP ブロックを接続できると同時に、デザイン リソースを有効に活用できます。AXI によって、IP の使用や再利用が可能になり、異なるプロバイダーの IP をシームレスに統合できるため、プラグ アンド プレイ FPGA デザインを完全サポートします。詳細は、『UltraScale Architecture Gen3 Integrated Block for PCI Express LogiCORE IP 製品ガイド』(PG156) および『AXI Bridge for PCI Express Gen3 Subsystem 製品ガイド』(PG194) を参照してください。

UltraScale アーキテクチャ デバイスの PCIe ソリューションはすべて、AMBA® AXI4 仕様に従って設計されています。使用する PCIe コアに基づいて、AXI4-Stream インターフェイスまたは AXI4 メモリ マップド インターフェイスのいずれかを使用できます。

1. **AXI4-Stream** : このインターフェイスでは、データ ストリームをコンプリータ ストリームとリクエスト ストリームに分割/結合します。これによって、パケット デストラドル、データ リアライメント、コンプリション タグ管理などのオプション機能が可能になります。図 2 を参照してください。

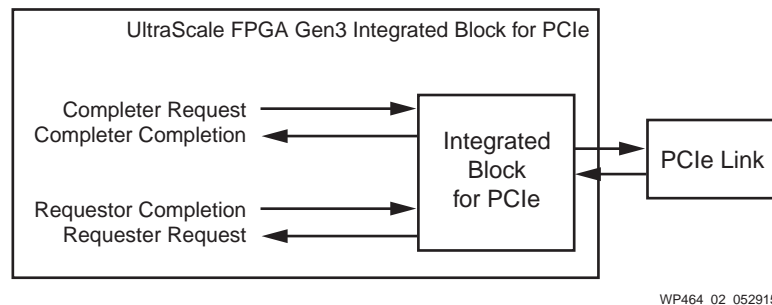


図 2: 強化された AXI4-Stream インターフェイス

2. **AXI4** : これは、プロセッサ システム ベースのコアで使用されるメモリ マップド インターフェイスであり、エンベデッド デザインで一般的に用いられています。図 3 を参照してください。

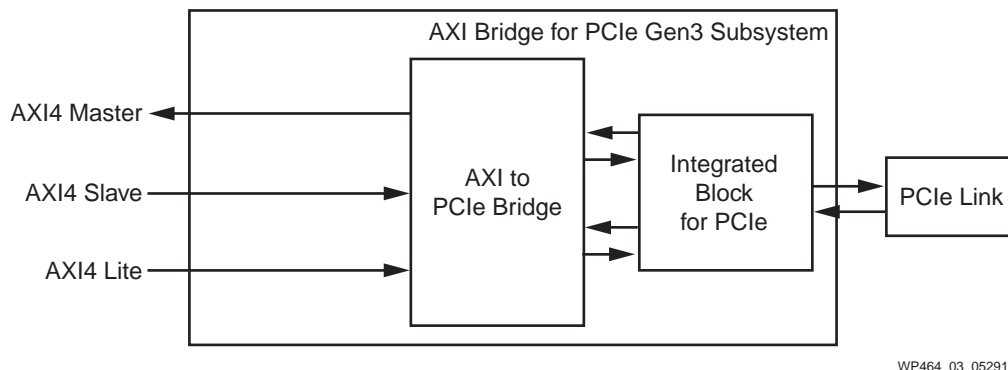


図 3: AXI4 インターフェイス

ULTRASCALE アーキテクチャの PCIe 機能

UltraScale アーキテクチャには、PCIe の性能、柔軟性、使いやすさを向上させる機能が多数あります。

PCIe 用統合ブロックの高速初期化

PCI Express Base Specification では、電源が安定してから 100ms 以内に PCIe リンクがリンク トレーニング可能な状態であることが要求されます。一般的なフラッシュ メモリを使用して 100,000 ロジック セルを越えるような大規模デバイスをコンフィギュレーションする場合には、100ms を大幅に超えてしまうため、大規模なコンフィギャブル デバイスでこの要件を満たすことは難しいと考えられてきました。

この 100ms 要件を解決するには、あらゆる可能性を片っ端から試すという方法しかありませんでした。通常、コンフィギュレーション時間の要件に対しては、最も高速で広帯域なフラッシュ メモリ デバイスを使用して必要な帯域幅を達成します。場合によっては、必要な帯域幅を達成するために、CPLD に複数のフラッシュ デバイスを接続して使用する必要があります。この方法は、ソフトウェア的に考えると最もシンプルですが、BOM コストが増加するため、最もコストが高いソリューションになることが少なくありません。さらに、特に多入力バスを使用する場合には I/O コストが増加する上に、ザイリンクス プログラマブル デバイスの容量が 200 万ロジック セル、さらにはそれ以上へと拡張していることで、すぐに対応できなくなります。

この初期化要件への取り組みは Virtex-6 ファミリーから始まり、ザイリンクスは、異なるレベルの複雑性とコストに応じたさまざまな方法を提供する最初の FPGA 企業です。

タンデムおよびタンデム フィールド アップデート

UltraScale アーキテクチャには、100m ブート タイム要件を満たすために 2 つのフローがあります。これらのフローを、「タンデム」および「タンデム フィールド アップデート」と呼んでいます。この 2 つのフローは、PCIe インターフェイスを確実に接続してアクティブ状態にさせることができるため、初期化中にシステムへのエニユメレーションを実行できます。タンデム フィールド アップデートには、PCIe リンクの電源を切断せずに、PCIe リンクを介してデバイスをリコンフィギュレーションできる機能が追加されています。

タンデム

このフローの場合、パワー オン リセット後にプログラマブル デバイスを最初にコンフィギュレーションするための方法として、Tandem PROM と Tandem PCIe があります。

ザイリンクス 7 シリーズ デバイスで導入された Tandem PROM 方法は、最もシンプルかつ最も低コストです。ユーザーは、PICo コアを構築するときに、シンプルなソフトウェア スイッチを介して 2 段階のビットストリームを生成するようにインプリメンテーション ツールに命令します。第 1 段階のビットストリームには、PCIe 用統合ブロックを構成するのに必要なコンフィギュレーション フレームのみ含まれます。コンフィギュレーション後、デバイス STARTUP シーケンスが開始され、PCIe リンクがアクティブになるため、100ms 要件を簡単に満たすことができます。その後、PCIe エニユメレーション/コンフィギュレーション システム プロセスが実行されている間に、残りの デバイス コンフィギュレーションがロードされます。この 2 段階ビットストリームでは、ビットストリームの格納に安価なフラッシュ デバイスが使用できます。図 4 を参照してください。

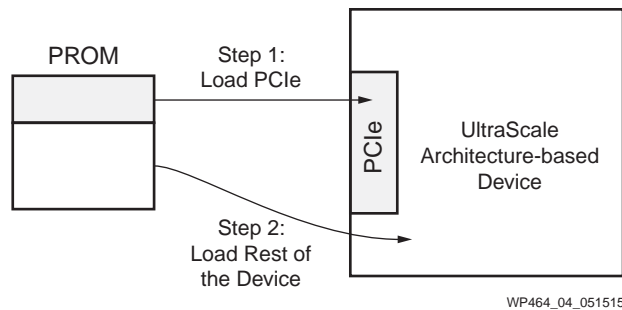


図 4: Tandem PROM を使用する方法

Tandem PCIe ソリューションは、Tandem PROM テクノロジーとは異なり、PCIe リンクを介して第 2 段階ビットストリームをロードできます。

タンデム フィールド アップデート

タンデム方法と同様、タンデム フィールド アップデートでは、Tandem PROM または Tandem PCIe を使用して最初にデバイスをコンフィギュレーションできます。デバイス コンフィギュレーション完了後、ユーザーは PCIe リンクを介して新しいデバイス機能のダウンロードを選択できます。このとき、PCIe リンクを介して必要なだけデザインをロードできます。この方法は、フィールド アップデートが必要なシステム/デザインに理想的です。また、実習用デバッグなど、新しいデバイス イメージのロードが必要になるたびに PC を続けてリポートすることを好まない場合にも有効です。図 5 を参照してください。

タンデム フィールド アップデートでは、最初のロードに Tandem PROM または Tandem PCIe のいずれを使用するかを選択できます。最初のロード完了後、PCIe バスを介して任意の新しいロジックをロードできます。この機能の詳細は、『UltraScale Architecture Gen3 Integrated Block for PCI Express LogiCORE IP 製品ガイド』(PG156) を参照してください

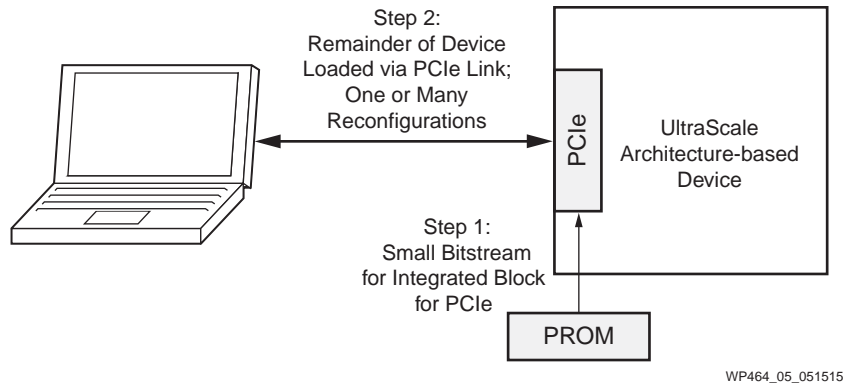


図 5: タンデム フィールド アップデートのツールフロー

パフォーマンス向上のためのデータ ストラドル

UltraScale アーキテクチャ デバイスの PCIe 用統合ブロックは、現在市場にあるすべてのプログラマブル デバイス ベース PCIe ソリューションの中で最も高いスループット性能を提供します。これらのソリューションのほとんどは、ユーザー インターフェイスの TLP がアライメントされた状態で受信される必要があります。つまり、TLP の終了時には、データ インターフェイスに 1 つのパケットしか存在できません。次のクロック サイクルまで、次の TLP をコアから読み出すことはできません。

データ レートの増加に伴って、内部データ パスも増加します。Gen4 x8 および Gen3 x16 デザインでは 512 ビット データパスが必要になるため、パケットのストラドルを許可して、無駄なデータ サイクルを制限することが不可欠になります。

データ ストラドルできないソリューションは、データ ストリーム間にギャップが生じて、全体的なデータ スループットを低下させることになります。UltraScale デバイスは、ユーザー インターフェイス側でパケットをストラドルさせる機能 (1 つの TLP が終了すると同時に、同じクロック サイクルで別の TLP が開始する) があるため、PCIe コアは最大ライン レートで動作できます。この機能は、最大ライン レートを要求する超高性能アプリケーションで非常に重要です。最高帯域幅を必要とせず、アライメントされたパケットが適したアプリケーションには、強化された AXI-Stream インターフェイスのオプションのアライメント機能を利用できます。図 6 を参照してください。

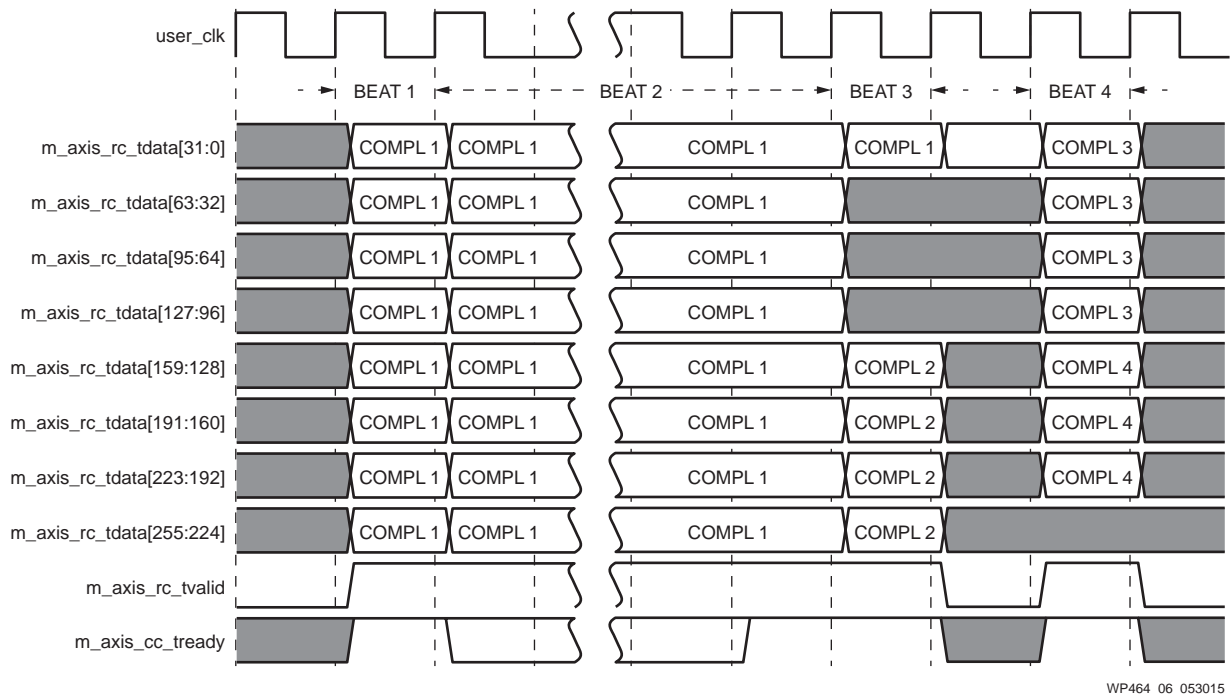


図 6: UltraScale アーキテクチャのストラドルされたサイクル

パケット ストラドルのほかにも、UltraScale アーキテクチャ デバイスには、クレジット割り当てスキーム用の改善されたユーザー制御や、ポストッド/ノンポストッド トラフィックをさらに細かく分類する新しいフロー制御などのシステム全体の性能を向上させる機能があります。

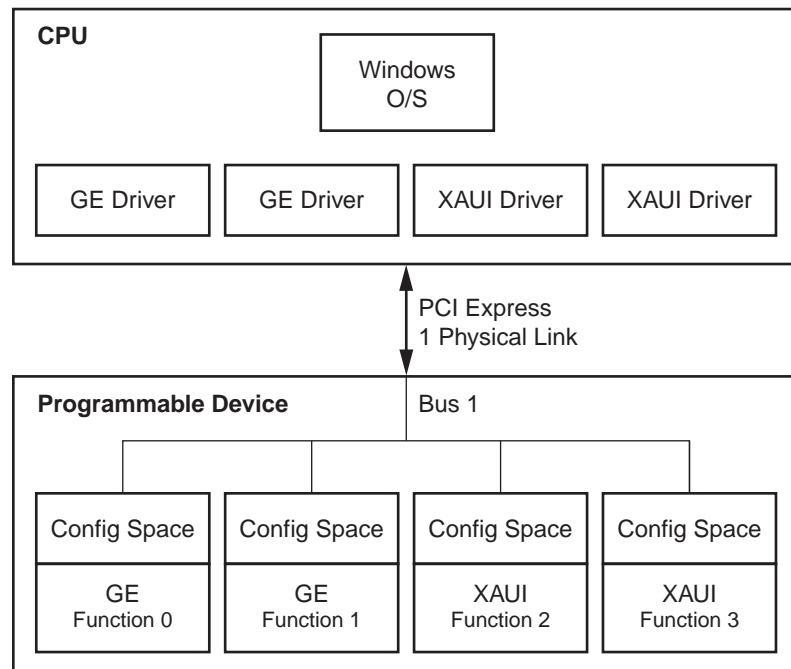
読み出し要求のタグ管理

一般的なシステムの読み出しコンプリーションの限界サイズである 64 バイトより大きな読み出し要求 TLP を送信する場合に対処すべき難しいタスクの 1 つは、複数のコンプリーションや発行順序によらないコンプリーションの扱いです。通常、設計者は送信される読み出し要求のタグを格納し、これらのタグを入力されるコンプリーションと照合して管理する必要があります。さらに、コンプリーション タイムアウトなどのエラー状況も監視する必要があります。

タグ管理は、読み出し要求を送信する (つまりプロデューサーからデータを取得する) バス マスタリング DMA デザインに必要な機能となります。この機能は、送信される読み出し要求のタグを管理し、その後、受信したコンプリーションとこれらのタグを照合することで成立します。UltraScale デバイスの PCIe ソリューションには、このタグ管理オプション機能があるため、DMA のデザイン要件が非常にシンプルになります。

マルチファンクション

PCIe ソリューションは、マルチファンクション デバイスとして動作できます。この場合、1 つのデバイス内にある複数機能は、1 つの PCI インターフェイスを共有します。各機能にはそれぞれ固有の PCIe コンフィギュレーション ヘッダー空間があるため、ホスト システム ソフトウェアからは、各機能がそれぞれの PCIe リンク上にある個別の PCIe デバイスのように見えます。これによって、デバイス ドライバー開発者は 1 つのドライバーを作成するだけで、それを各ハードウェア機能用に複製できるため、ドライバーの開発や移植が非常にシンプルになります。図 7 を参照してください。



WP464_07_051515

図 7: マルチファンクション デバイス

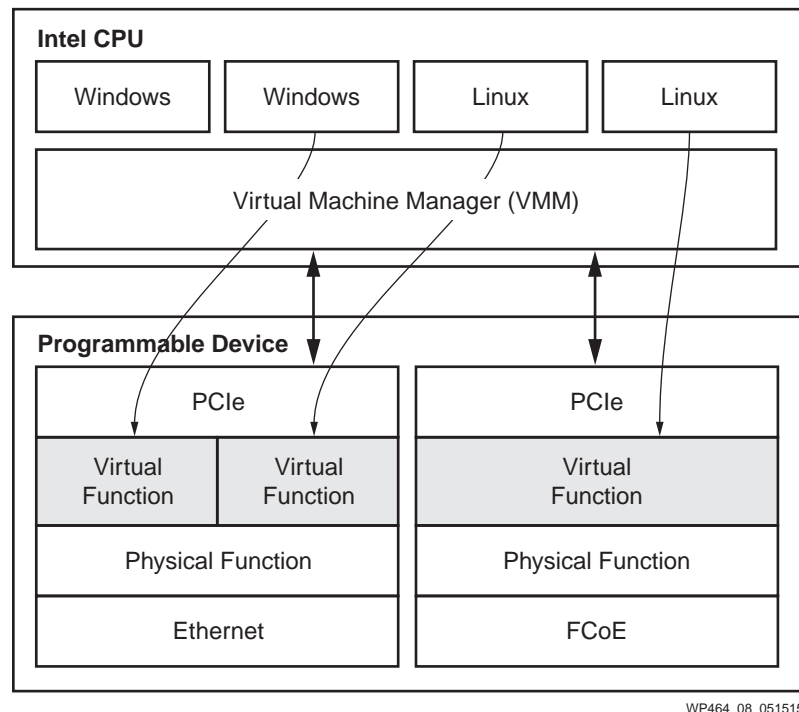
UltraScale および UltraScale+ デバイスには、それぞれ 2 個と 4 個の物理機能があり、PCIe 用統合ブロック内にすべてインプリメントされています。

SR-IOV (Single Root I/O Virtualization)

UltraScale デバイスの PCIe 用統合ブロックには、最大 2 個の物理機能と 6 個の仮想機能が構築されています。UltraScale+ デバイスでは、この機能がさらに拡張され、最大 4 個の物理機能と 252 個の仮想機能を備えています。

SR-IOV は、SR-IOV をサポートしない仮想システムで生じるソフトウェア ペナルティなしで、シングルルート (CPU サブシステム) 上で実行される複数ゲスト (OS) が I/O デバイスにアクセスできるようにします。マルチファンクション デバイスが各物理機能用に個別のコンフィギュレーション空間を提供する方法と同様に、SR-IOV も I/O デバイスへアクセスする各オペレーティング システムに仮想機能 (仮想コンフィギュレーション空間) を提供することで機能します。したがって、各ゲスト オペレーティング システムはそれぞれの I/O デバイスが割り当てられているかのように見えます。

SR-IOV をサポートするアダプターが仮想化環境の I/O 効率を大きく向上させることが証明されています。SR-IOV は、エンタープライズ IT 市場 (データ センター) に幅広く採用されているだけでなく、通信市場やストレージ ネットワーキング市場にも適用され始めています。図 8 を参照してください。



WP464_08_051515

図 8: SR-IOV 仮想コンフィギュレーション空間

ビルトイン MSI-X テーブル

MSI-X 割り込みは、MSI (Message Signal Interrupts) と比べて主に 2 つの優位性があります。1 つ目は、サポートされる割り込みベクター数が MSI では 32 個であるのに対して MSI-X では 2048 個であることです。2 つ目は、MSI-X 割り込みベクターが、テーブルに書かれている異なる場所へ移動できることです。

UltraScale FPGA では、ユーザーがプログラマブル ロジックを使用して MSI-X テーブルを構築および管理することで、MSI-X をインプリメントします。UltraScale+ デバイスでは、PCIe 用統合ブロックに MSI-X テーブルをインプリメントするオプションがあり、作業が簡素化されているため、ユーザーにとってシンプルなソリューションとなります。

アドバンス エラー レポート (AER) および End-to-End CRC (ECRC)

アドバンス エラー レポート (AER) は、PCIe ベース システムで生じるエラー タイプをさらに細かく分類して制御するオプション機能です。AER が無効の場合、PCIe ベース システムでは 3 種類 (Fatal、Non-Fatal、Correctable) のエラーしか定義されません。通常、エラーから効率的に回復させるには、3 種類のエラー定義では十分な情報を得ることができません。AER 機能を有効にした場合、システム ソフトウェアが特定エラーの明確な原因を判断できるため、回復が可能なエラーに対しては回復プロセスを実行します。

UltraScale および UltraScale+ デバイスの PCIe 用統合ブロックでは、ユーザーがオプションで End-to-End CRC (ECRC) 機能を有効にした場合に、自動的に ECRC チェックおよび生成が実行されます。エラー生成を制御するためのポートが有効になり、ECRC エラーが検出されるとフラグがアサートされます。ECRC チェックおよび生成のロジックは、ユーザーのデザインにインプリメントする必要はありません。

AER および ECRC は、高信頼性/高可用性を重視するアプリケーションで使用されます。これらの機能は、一般的に航空宇宙/防衛、銀行取引/金融、通信、およびストレージなどの市場セグメントで使用されています。

アトミック操作

アトミック操作では、Mutex や spin-lock などの一般的な同期化プリミティブを I/O バス上 (この場合は PCIe) に直接構築して、システム性能とレイテンシを向上させることを目的とした 3 つの新しい TLP タイプを使用します。この操作は、プロデューサーとコンシューマーを複数含むあらゆるシステム (複数 CPU システムなど) で有用です。この機能の対象となる応用空間は、コプロセッシングやハードウェア アクセラレーション アダプター内です。UltraScale および UltraScale+ デバイスでは、アトミック操作を完全にサポートしています。

高性能 PCIe アプリケーションを可能にする機能

UltraScale アーキテクチャの PCIe 用統合ブロックには、より高いシステム性能を可能にするための機能が多数含まれています。表 3 を参照してください。

表 3 : PCIe 機能 (デバイス別)

UltraScale	UltraScale+	両方
256 ビット コンプリーション インターフェイスでのデータ ストラドル	全 512 ビット インターフェイスおよび 256 ビット コンプリーション インターフェイスでのデータ ストラドル	高性能デザイン向けに最適化された 4 つの高性能 AXI4-Streaming インターフェイス
最大 32 個の未処理の読み出し要求に対するビルトインのタグ管理機能	最大 256 個の未処理の読み出し要求に対するビルトインのタグ管理機能	AXI4-Streaming インターフェイスでのパリティプロテクション
16KB コンプリーション バッファ空間	最大 256 コンプリーションに対応する 32KB のコンプリーション バッファ空間	すべての内部バッファ メモリの ECC プロテクション
ビルトインのマルチファンクションおよび SR-IOV (2 個の物理機能、6 個の仮想機能)	ビルトインのマルチファンクションおよび SR-IOV (4 個の物理機能、252 個の仮想機能)	アトミック操作トランザクション
		アドレス変換サービス (ATS)
		TPH (TLP Processing Hints) 機能
	ビルトインの MSI-X テーブル	受信パスにおける RO (Relaxed Ordering) サポート

その他の高度な機能

SR-IOV やアトミック操作のほかにも、UltraScale および UltraScale+ デバイスは、最新の PCI Express Base Specification で導入された ECN を多数サポートしています。それら多くは、ブロックで直接サポートされているため、ユーザーが介入する必要はありません。

- 拡張タグ フィールド (Extended Tag Field) の有効化
- 内部エラー レポート
- オプション機能の ASPM

これらの機能の詳細は、『UltraScale Architecture Gen3 Integrated Block for PCI Express LogiCORE IP 製品ガイド』(PG156 : [英語版](#)、[日本語版](#)) を参照してください。

まとめ

UltraScale アーキテクチャ デバイスの PCIe 用統合ブロックは、ザイリンクス デバイス ファミリーにおける第 4 世代の PCIe ソリューションです。これまでの知識と経験に基づいて、ザイリンクスはプログラマブル デバイス向けに最も使いやすく、最も機能豊富で、最高性能を提供できる PCIe ソリューションを開発しました。最適化されたアーキテクチャと拡張性のある AXI4 インターコネクトによって、UltraScale および UltraScale+ ファミリー間で既存デザインをシームレスに再利用および移行することが可能です。PCIe Gen3 および Gen4、x16 リンク幅、パケット ストラドル、および SR-IOV などの機能を使用することによって、かつてないレベルの帯域幅とシステム性能を実現できます。さらに、シンプルなソフトウェア ツール フローとターゲット リファレンス デザインを利用することで、PCIe 用統合ブロックを容易にカスタマイズできるようになり、アプリケーションを短期間で市場に投入できます。

その他の情報

[PG194](#) - 『AXI Bridge for PCI Express Gen3 Subsystem 製品ガイド』

[リリースノート](#) - UltraScale FPGA Gen3 Integrated Block for PCI Express

[リリースノート](#) - AXI Bridge for PCI Express Gen3

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2015 年 6 月 30 日	1.0	初版

DISCLAIMER

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx’s limited warranty, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

AUTOMOTIVE APPLICATIONS DISCLAIMER

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。