



WP470 (v1.0) 2015 年 11 月 6 日

Zynq UltraScale+ MPSoC で圧倒的な低消費電力と柔軟性を実現

著者 : Lee Hansen

ザイリンクスの Zynq® UltraScale+™ MPSoC ファミリは、無類の柔軟性と大幅な BOM コスト削減をもたらし、複雑なマルチタスク デザインのプロジェクト全体を迅速化します。

概要

高度なデータセンター アプリケーション、車載用運転支援/セーフティ システム、携帯用無線デザインでは、多様な電源管理と条件に対応できる柔軟性を備えながら最先端の性能を達成できる SoC IP が求められています。

ASSP (Application-Specific Standard Product) は、固定されたソリューションであるため拡張性に欠けています。したがってデザインに柔軟性を持たせて拡張するにはデバイスを追加する必要があり、BOM コストと電力コストが増加します。

Zynq UltraScale+ MPSoC は、次のような次世代レベルのエンベデッド SoC 性能を提供します。

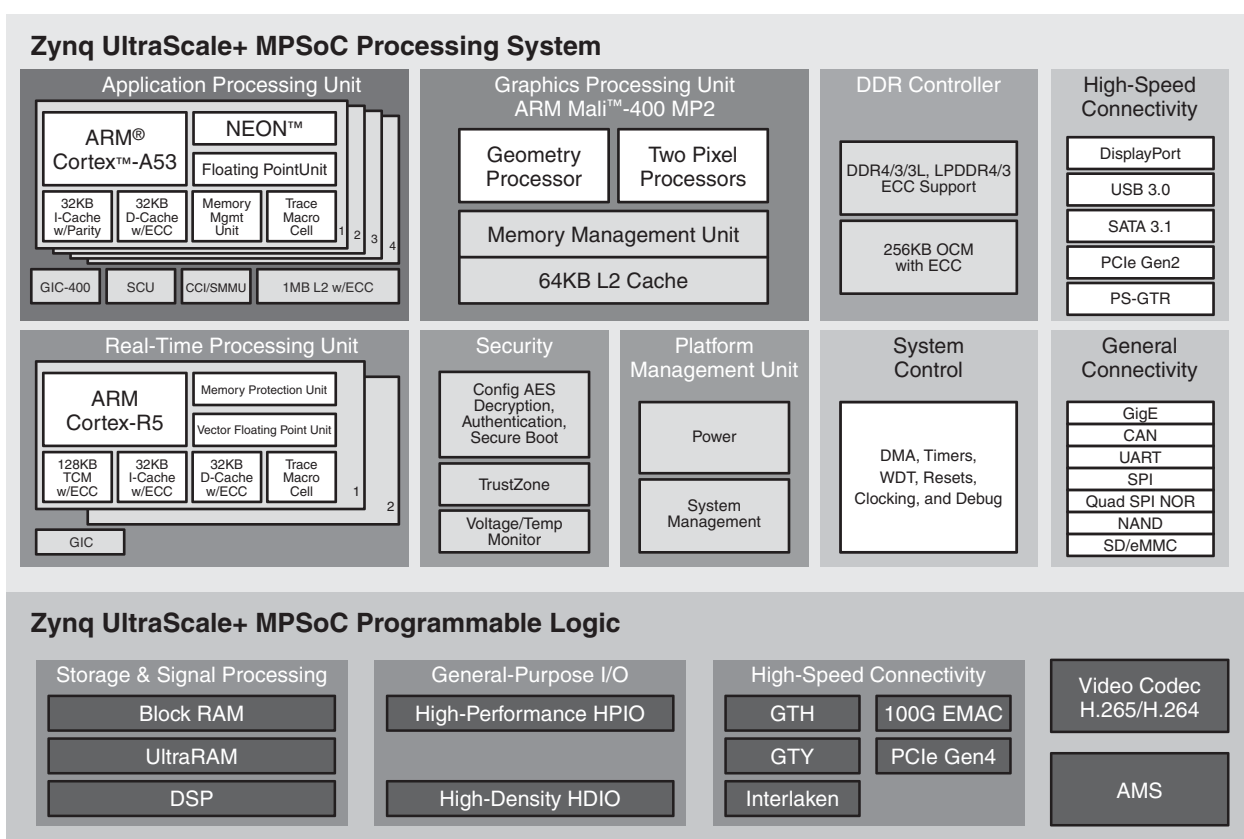
- 単位ワットあたりのシステム性能が 5 倍向上 (前世代ザイリンクス製品と比較)
- 画期的な電力管理機能
 - 統合された電源ドメイン
 - 電源アイランド
- 新しいグラフィックスおよびビデオ エンジンを使用して最大 4K まで対応できる高度なビデオ パイプライン
- 包括的なツールとエコシステム サポートを利用して確実にデザインを完成できる

© Copyright 2015 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。AMBA、AMBA Designer、ARM、ARM1176JZ-S、CoreSight、Cortex、PrimeCell は EU およびその他の各国の ARM 社の登録商標です。PCI、PCIe、および PCI Express は、PCI SIG の商標であり、ライセンスに基づいて使用されています。すべてのその他の商標は、それぞれの所有者に帰属します。本資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

はじめに

ザイリンクスは、業界初となる真の All Programmable、ヘテロジニアス、マルチプロセッシング SoC である Zynq UltraScale+ MPSoC を提供しています。TSMC 社の次世代 16nm FinFET プロセス ノードを採用した Zynq UltraScale+ MPSoC には、スケーラブルな 32/64 ビット マルチプロセッサ CPU、リアルタイム グラフィックス/ビデオ処理専用のハード エンジン、高度な高速ペリフェラル、およびプログラマブル ロジックが含まれているため、車載用運転支援/セーフティ システム、無線/有線通信、データセンター、接続や制御など広範なアプリケーションに対応できます。

ASSP ベースのすべてが固定されたソリューションとは異なり、Zynq UltraScale+ MPSoC は、32 ビットまたは 64 ビット データ幅のプロセッシング システムをベースとする最高のスケーラビリティを提供します。グラフィックスやビデオパイプラインなどのクリティカルなアプリケーションでは専用のプロセッシング ブロックを使用して負荷を軽減できるだけでなく、効率的な電源ドメインやゲート制御される電源アイランドを使用して特定ブロックの電源をオン/オフ制御できます。Zynq UltraScale+ MPSoC は、さまざまなインターコネクト オプション、DSP ブロック、およびプログラマブル ロジックの選択が可能のため、ユーザー アプリケーションの要件に柔軟に対応できます。1 つのプラットフォームと業界標準ツールで設計できるこの製品ファミリは、コストと同時に高性能を重視するアプリケーションに最適です。



WP470_01_110215

図 1 : Zynq UltraScale+ MPSoC のブロック図

ZYNQ ULTRASCALE+ MPSoC プロセッシング システムの特長

- クワッド コア ARM® Cortex™-A53 プロセッサを備えるアプリケーションプロセッシング ユニット (APU)
 - 32 または 64 ビット データ幅に対応する次世代 ARMv8 アーキテクチャ
 - Linux およびベアメタル SMP/AMP アプリケーションシステムに最適
- デュアル コア ARM Cortex-R5 プロセッサを備えるリアルタイムプロセッシング ユニット (RPU)
 - 低レイテンシで非常に確定的な性能
 - APU の負荷軽減
- 新たに統合されたハード マルチメディアブロック
 - グラフィックスプロセッシング ユニット (GPU) [ARM Mali™-400MP2]
 - 4Kx2K 60fps ビデオ エンコーダー /デコーダー (VCU) [特定デバイス]
 - 4Kx2K 30fps DisplayPort インターフェイス
- 新たに統合された高速ペリフェラル
 - PCIe® Gen1/Gen2 ルート コンプレックスおよび統合エンドポイントブロック (x1、x2、x4 レーン)
 - ホスト、デバイス、OTG モードで動作可能な USB 3.0/2.0
 - ジャンボ フレームおよび PTP (Precision Time Protocol) を使用するギガビット イーサネット
 - SATA 3.1 ホスト
 - 専用のクワッド トランシーバー (最大 6Gb/s)
- 一般的なペリフェラルとブート ペリフェラル
 - CAN、I2C、QSPI、SD、eMMC、および NAND フラッシュ インターフェイス
 - GPIO、UART、およびトレース ポート
- ECC 機能付きの 6 ポート DDR コントローラー (x32/x64 DDR3、DDR3L、LPDDR3、LPDDR4、DDR4 に対応)
- 複数の電源ドメインをサポートする統合されたプラットフォーム管理ユニット (PMU)
- 統合されたコンフィギュレーション セキュリティ ユニット (CSU)
- TrustZone サポート
- ペリフェラルおよびメモリの保護

表 1 に、Zynq UltraScale+ MPSoC で最も低集積度/高集積度の各デバイスの機能を示します。

表 1 : Zynq UltraScale+ MPSoC の優れた機能

デバイス	Zynq UltraScale+ MPSoC ⁽¹⁾	
	ZU2EG (低集積度デバイス)	ZU19EG (最高集積度デバイス)
プロセッシング システム		
マルチプロセッサ APU および RPU 専用 GPU 6 ポートの DDR メモリ コントローラー、オンチップ メモリ 統合されたセキュリティおよびプラットフォーム マネージャー メモリおよびペリフェラル ポートの保護、TrustZone DisplayPort、USB 2.0/3.0 ホスト/デバイス/OTG、SATA 3.1 ホスト PCIe Gen1 または Gen2 x1/x2/x4、ギガビット イーサネット CAN、I2C、SPI、QSPI、SD、eMMC、NAND フラッシュ GPIO、UART、およびトレース ポート		
プログラマブル ロジック		
システム ロジック セル	103,320	1,143,450
CLB フリップフロップ	94,464	1,045,440
CLB LUT	47,232	522,720
分散 RAM (Mb)	1.2	9.8
ブロック RAM (Mb)	5.3	34.6
DSP スライス	240	1968
最大 HP I/O	156	572
最大 HD I/O	96	96
GTH トランシーバー 16.3Gb/s	0	44
GTY トランシーバー 32.75Gb/s	0	28
PCIe Gen3x16 および Gen4x8	0	5
150G Interlaken	0	4
100G Ethernet	0	4
注記 :		
1. Zynq UltraScale+ MPSoC 製品に関する情報は、『Zynq UltraScale+ MPSoC 概要データシート』(DS891 : 英語版 、 日本語版) を参照してください。		

電力効率を重視

Zynq UltraScale+ MPSoC は、電源を効率的に管理できるよう設計されています。まず、図 2 のように、デバイスは 4 つの電源ドメインに分割されています。

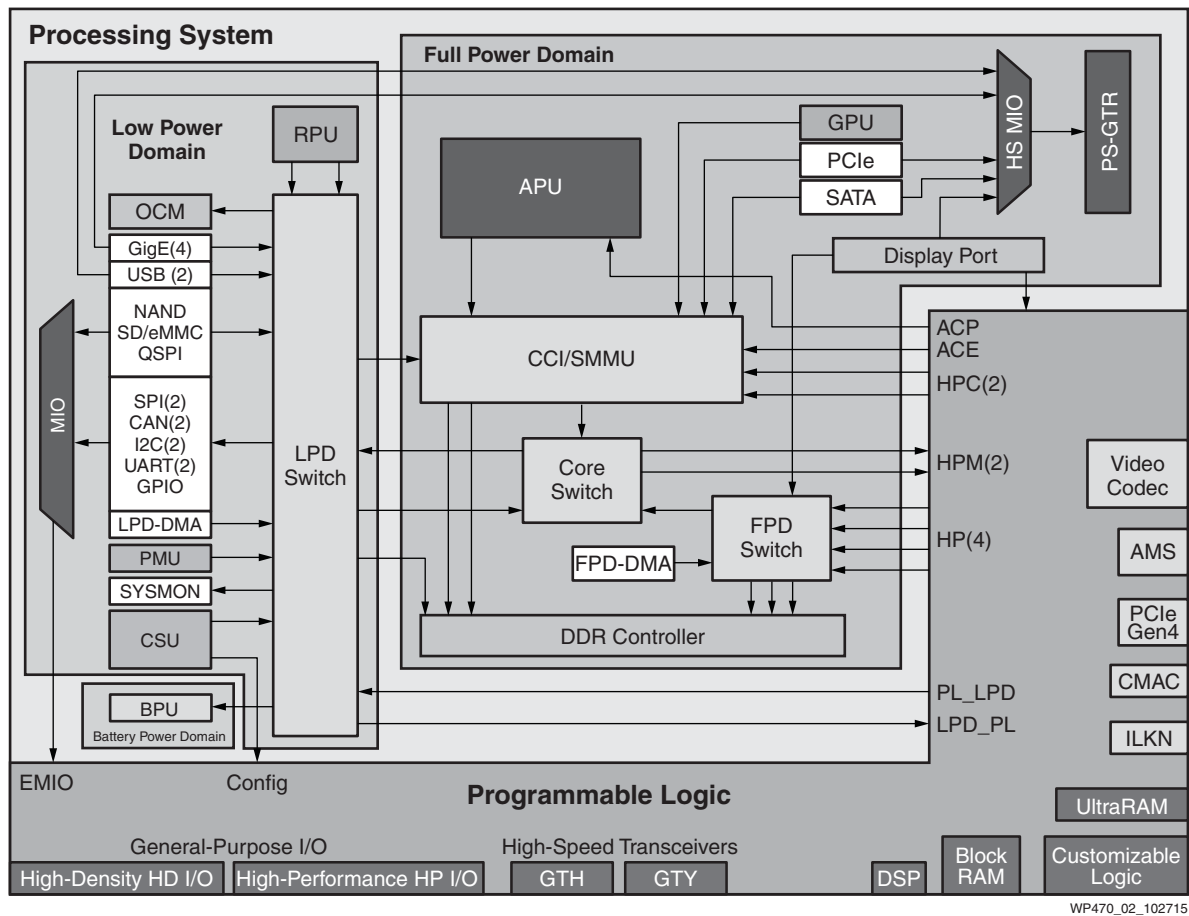


図 2 : Zynq UltraScale+ MPSoC の電源ドメイン

- リアルタイム クロックとバックアップ バッテリ付きの RAM を含むプロセッシング システム (PS) 内にあるバッテリー電源ドメイン。
- RPU、一般的なペリフェラル、オンチップ メモリ (OCM)、プラットフォーム管理ユニット、およびコンフィギュレーション セキュリティ ユニットの含む PS 内にある低電力ドメイン。
- APU、高速ペリフェラル、システム メモリ マネージャー、および DDR コントローラーを含む PS 内にあるフル電力ドメイン。
- プログラマブル ロジック (PL) 電源ドメイン

常にオンのバッテリー電源ドメイン以外は、設計者が動作モードおよび電力レベルを選択できます。必要のないドメインは、起動時には電源をオフにしておいて、割り込みやイベント発生時に一時的にオンにできます。

さらに低電力ドメインとフル電力ドメインは、各エンジンで電源アイランドをサポートしているため、消費電力をさらに細かく制御できます。APU の Cortex-A5 プロセッサはそれぞれ電力をゲート制御できますが、RPU の 2 つの Cortex-R5 プロセッサは同時にゲート制御され、GPU のピクセルおよびジオメトリ プロセッサは個別にゲート制御されます。RPU と密結合メモリおよびオンチップ メモリ (OCM) は、さらにバンク分割されているためバンクごとに個別に電力をゲート制御できます (APU の L2 キャッシュを含む)。また、汎用ペリフェラルと高速ペリフェラルのほとんどは、電源アイランドとして個別に電力をゲート制御できます。

Zynq UltraScale+ MPSoC には、電源ドメインを制御する革新的なプラットフォーム管理ユニット (PMU) が含まれています。この PMU は、デバイスの安全管理と電源ドメイン内での電力制御を担います。ドメインの電源オン/オフ制御やリセット要求に

対応する専用 ROM、さらにオプションのカスタム電源管理ファームウェア用に 128KB の RAM があります。PMU には、安全に再開するために使用するオプションのデータ復号化用 256 ビット デバイス キーが含まれています。また、IPI (プロセッサ間割り込み) 機能をサポートしているため、ドメイン間でスリープ状態のドメインを監視して、イベント発生時に電源をオンにできます。

単位ワットあたりのシステム性能を最大 5 倍向上

Zynq UltraScale+ MPSoC の中心には 2 つの CPU ブロックがあります。アプリケーションプロセッシングユニット (APU) は、Linux およびベアメタルアプリケーション処理に最適なクワッドコア ARM Cortex-A53 を使用し、リアルタイムプロセッシングユニット (RPU) は、セーフティ/セキュリティモジュールなどの低レイテンシで確定的なアプリケーションや APU の負荷軽減に最適なデュアルコア ARM Cortex-R5 を使用します。新しいマルチメディアグラフィックスエンジン、高速ペリフェラル、さらに最新世代のプログラマブルファブリックや IP を統合することで、Zynq UltraScale+ MPSoC は前世代のザイリンクス Zynq-7000 デバイスよりシステム性能を最大 5 倍まで引き上げることが可能です。

APU のクワッドコア ARM Cortex-A53 プロセッサは、次世代アーキテクチャ ARM v8 を採用し、最先端の性能と優れた電力効率での処理能力を兼ね備えています。各 Cortex-A53 プロセッサは、Zynq-7000 デバイスの ARM Cortex-A9 と比べてベースラインを 2.7 倍高速化し、次世代の浮動小数点などの最先端機能やハイパーバイザーによる真の APM 動作をサポートします。APU は、Linux やその他のサードパーティ RTOS またはベアメタルを使用するアプリケーションベースの実行に最適です。

APU の特長は次のとおりです。

- クワッドコア ARM Cortex-A53 プロセッサ
- 最高スピードグレードで最大 1.5GHz 動作
- 次世代アーキテクチャ ARMv8
- 64 ビットまたは 32 ビット データ幅で動作
- 各プロセッサに専用のメモリ管理ユニット (MMU)
- 各プロセッサに専用の次世代型単一命令複数データ (SIMD) エンジン
- 各プロセッサに 32KB の L1 命令キャッシュ (パリティ付き)
- 各プロセッサに 32KB の L1 データキャッシュ (ECC 付き)
- 1MB の共有 L2 キャッシュ (ECC 付き)
- ハイパーバイザーサポート

RPU のデュアルコア ARM Cortex-R5 プロセッサは、低レイテンシで確定的な実行に最適化されているため、安全性と信頼性を重視するセキュリティアプリケーションに最適な低レイテンシ密結合メモリ (TCM) が含まれています。また、APU のオフロードプロセッサとしても適しています。

RPU の特長は次のとおりです。

- デュアルコア ARM Cortex-R5 プロセッサ
- 最高スピードグレードで最大 600MHz 動作
- ARMv7R アーキテクチャ
- 32 ビット データ幅で動作
- デフォルトのスプリットモード動作、またはデュアルロックステップ動作
- 各プロセッサに専用のメモリ保護ユニット (MPU)
- 各プロセッサに 32KB の L1 命令キャッシュ (ECC 付き)
- 各プロセッサに 32KB の L1 データキャッシュ (ECC 付き)
- 各プロセッサに 128KB の ECC 付きで低レイテンシの密結合メモリ (TCM)
- ロックステップモードで TCM が最大 256KB として使用可能

低電力でより高速なファブリック性能

Zynq UltraScale+ MPSoC は、TSMC 社の 16nm FinFET プロセス ノードを採用して構築されているため、プレーナ技術よりも優れたスイッチング速度でリーク電流も低い効率的なトランジスタが実装されています。結果として、より低い消費電力で高い性能が実現されています。28nm ベースの Zynq-7000 から 16nm ベースの Zynq UltraScale+ MPSoC へ移行することによって、20% の消費電力削減と 60% の高速化が可能になり、純粋な処理性能は 2.7 倍向上します。

UltraScale+ 16nm ファブリックには、DDR4 メモリ スピード対応の HP (High-Performance) I/O、レガシ インターフェイス向けに消費電力とエリアに最適化された HD (High-Density) I/O、および高速シリアル トランシーバーがあります。高速シリアル トランシーバーは、高速ペリフェラル専用のプロセッシング システム領域と I/O 帯域幅を最大化するプログラマブル ロジック領域の両方にあります。

共有システム メモリはチップ上あり、プログラマブル ロジックを使用して拡張できます。外部 DDR コントローラー インターフェイスはプロセッシング システムにありながら、プログラマブル ロジックにも拡張され、最大 16 テラバイトまでのシステム メモリ空間を提供する新しい柔軟なメモリ マップを備えています。

マルチメディアに最適なシステム

Zynq UltraScale+ MPSoC の新機能は、最大 4K までのビデオ レートで動作するハードウェアとして統合されたマルチメディア ビデオおよびグラフィックス プロセッシング ブロックです。これらによって、CPU はアプリケーションに集中でき、デバイス全体の電力効率とシステム性能が向上します。この新しいブロックが優れたグラフィックス/ビデオ処理パイプラインを提供するため、ボード上に必要なデバイス数が減ることで BOM コストが削減されます。

グラフィック プロセッシング ユニット (GPU)

グラフィックス プロセッシング ユニット (GPU) は ARM Mali-400 MP2 を使用し、Zynq UltraScale+ MPSoC プロセッシング システム (PS) 内に配置されています。これは APU と直接接続されているため、オプションとしてディスプレイ出力用フレームバッファのビデオ イメージのレンダリング処理を高速化できます。CPU に依存したグラフィックス処理を行う ASSP と比較すると、GPU は専用のパラレル エンジンを使用することで、より高速にビデオ情報を生成できます。またチップ外部に GPU エンジンを追加するソリューションよりも低コストで低消費電力となります。

GPU は、シェーダー ベースと固定関数の両方のグラフィックス API に対応する完全プログラマブルなアーキテクチャによって、2D および 3D のグラフィックス処理を高速化します。また、アンチエイリアス機能を備え、性能オーバーヘッドなしに最適な画像品質を実現します。Linux 用の検証およびテスト済みドライバセットが含まれ、APU から CPU へのグラフィックス コマンドの自動オフローディングを管理します。

Zynq UltraScale+ MPSoC GPU の主な特長

- ARM Mali-400 MP2
- 最高スピード グレードで最大 667MHz 性能
- ジオメトリ プロセッサ (x1)、ピクセルプロセッサ (x2)
- 専用の共有 L2 キャッシュ (64KB)
- 専用のメモリ管理ユニット (MMU)
- OpenGL ES 2.0 および OpenGL ES 1.1 対応
- OpenVG 1.1 API 対応
- 3 つのエンジンに個別のパワー ゲーティング機能
- 1334M ピクセル/秒のピクセル フィル レート
- 72.6M トライアングル/秒
- 21.34Gflops 浮動小数点シェーディング

ビデオ コーデック ユニット (VCU)

特定デバイスの Zynq UltraScale+ MPSoC プログラマブル ロジック (PL) には、新しいビデオ エンコーダー/デコーダーが含まれています。ハードウェアとして組み込まれたこのコーデックは、PL または PS からのビデオ/オーディオ ストリームへアクセスし、ソフトウェア アルゴリズムを実装した場合の最大 50 倍の圧縮率でビデオ情報を圧縮できるため、貴重なストレージ空間を節約できます。

Zynq UltraScale+ MPSoC VCU の主な特長

- H.264 および H.265 HEVC ビデオ規格をサポート
- 同時エンコード/デコード
- 8K x 4K ビデオ (15fps) または 4Kx2K ビデオ (60fps)
- 8 および 10 ビットのカラー コンポーネント
- I、IP、IPB フレームのエンコーディング
- 4:2:0 および 4:2:2 クロマ フォーマット
- 同時に最大 8 つの異なるビデオ ストリーム

DisplayPort インターフェイス

Zynq UltraScale+ MPSoC には、高速コネクティビティ パリフェラルの一部としてハードウェアに統合された新しい DisplayPort インターフェイス モジュールがあります。DisplayPort インターフェイスは PS に配置され、最大 6Gb/s で動作する 4 つの専用高速シリアル トランシーバーのいずれか 1 つへマルチプレクス可能です。これによって、ディスプレイ チップを追加する必要がなくなり、システム BOM コストがさらに削減されます。

DisplayPort インターフェイスは VESA V-12a に準拠しており、PS または PL から送信されるライブ オーディオ/ビデオを処理したり、メモリ フレーム バッファに格納されているオーディオ/ビデオを処理するためのさまざまなインターフェイスを提供します。同時に 2 つのオーディオ/ビデオ パイプラインをサポートし、アルファブレンディング、クロマリサンプリング、色空間変換、オーディオ ミキシングなどのレンダリング処理をオンザフライで可能にします。また、このブロックには、同期クロックを生成するための専用のビデオ PLL が含まれています。

Zynq UltraScale+ MPSoC DisplayPort インターフェイスの主な特長

- 最大ビデオ解像度は 4K x 2k @30Hz
- Y のみ、YCbCr444、YCbCr422、YCbCr420、RGB ビデオ フォーマット
- 1 カラー コンポーネントあたり 6、8、10 または 12 ビット
- ライブ ビデオ用の 36 ビットのネイティブ ビデオ入力インターフェイス
- 内蔵DMA を使用してフレーム バッファからビデオを取得するインターフェイス
- 2 プレーン レンダリング パイプライン
- 最大 2 チャンネルのオーディオ (24 ビット/48KHz)
- 専用のビデオ PLL
- 取得したビデオ データ用のビデオ タイミングを生成するコントローラー
- ISO/IEC 13818-1 準拠 システム タイム クロック (STC)

アプリケーション例

Zynq UltraScale+ MPSoC には、拡張性のある電源、高性能、および専用エンジンが統合されているため、さまざまなアプリケーションに適しています。ここでは、主なアプリケーション例を示します。

データセンター: ネットワークストレージ/サービスプラットフォーム

インターネット上のほとんどのウェブサイトはシステムのコア部分に SQL データベースを備え、そこには同時かつ複数のインターネットトラフィック要求に瞬時に対応する必要がある大量のデータが含まれます。人気のあるウェブサイトでは、毎日最大 3 億の写真やビデオが毎日追加され、毎月 1 兆のページ閲覧があります。しかし、ウェブサイトが拡大する一方、SQL データベースの拡張が十分でないため、ボトルネックとなってきました。この問題を解消するため、Memcached (Mem-Cache-D、無償で提供されるオープンソースの汎用分散型メモリキャッシングシステムで、改訂版 BSD ライセンスの下で配布) などの分散 KVS (キーバリューストア) が、現在のウェブインフラ内で重要なミドルウェアアプリケーションとなっています。これらを使用して、データベースの使用頻度の高いクエリや最近のクエリをキャッシュすることでウェブサイトの性能と拡張性が大幅に向上します。

Memcached は KVS の実装に最も一般的に使用されているオープンソースソフトウェア構造です。現在使用されている最も一般的な Memcached インプリメンテーションは、1 つのネットワークアダプターと 1 つの x86 ベースマザーボードで構成され、ホストの DRAM にバリューを保存します。各ユニットが、待ち行列に入ったデータベース KVS 要求の文字列を管理します。各要求では、デコード、ハッシュ、リード、フォーマット、および送信の実行が必要です。しかし、x86 ベースのアーキテクチャの性能と消費電力はその限界に到達しているため、Memcached を十分に拡張できません。

x86 ベースの Memcached インプリメンテーションは CPU 集約型です。キー幅が無作為かつさまざまであるため、割り込みやキャッシュミスが頻繁に生じ、その結果として分岐予測の精度低下、要求パイプラインの停止、性能低下、無駄な電力消費などを招きます。また、ネットワークアダプターレイヤーでも、共有 TCP/IP スタックの使用や、DMA チャネル経由でネットワークアダプターへデータを送信するためにデータパケットを使用することによって、レイテンシが増加します。マルチコア x86 ベースインプリメンテーションの公表されている性能指標は、5.8 ~ 7.0KRPS/W (千リード/秒/ワット) で、レイテンシは 1 ユニット最大 478 ワットで 200 ~ 400 マイクロ秒です。

Zynq UltraScale+ MPSoC は、できるだけ少ない演算処理で、ネットワークからメモリへ、またその逆方向へデータ転送を行うことに焦点をあてた理想的な Memcached アーキテクチャを提供します。図 3 に、Zynq UltraScale+ MPSoC ベースの Memcached ユニットのアーキテクチャを示します。ウェブサーバーのデータパスが非常にシンプルになることで、Zynq UltraScale+ MPSoC は回復トラフィックを含む 40Gb/s ギガビットイーサネットリンクをサポートします。データ側では、Zynq UltraScale+ MPSoC が、プログラマブルロジック内の PCIe 用インテグレイテッドエンドポイントブロックを介して、NVMe メモリの 2 つのバンクを駆動します。すべての MPSoC ベースの Memcached ユニットには、内部ネットワークの固有 IP アドレスがあり、スタンドアロンサーバーとして機能するため、ネットワーククライアントが Key-value ペアを直接保存および回復できます。Zynq UltraScale+ MPSoC PL を使用して可能となる拡張 DDR メモリによって、最大 32GB の DDR4 DRAM を Zynq UltraScale+ MPSoC PS に直接接続できます。100GB/s の帯域幅で DRAM へアクセス可能です。

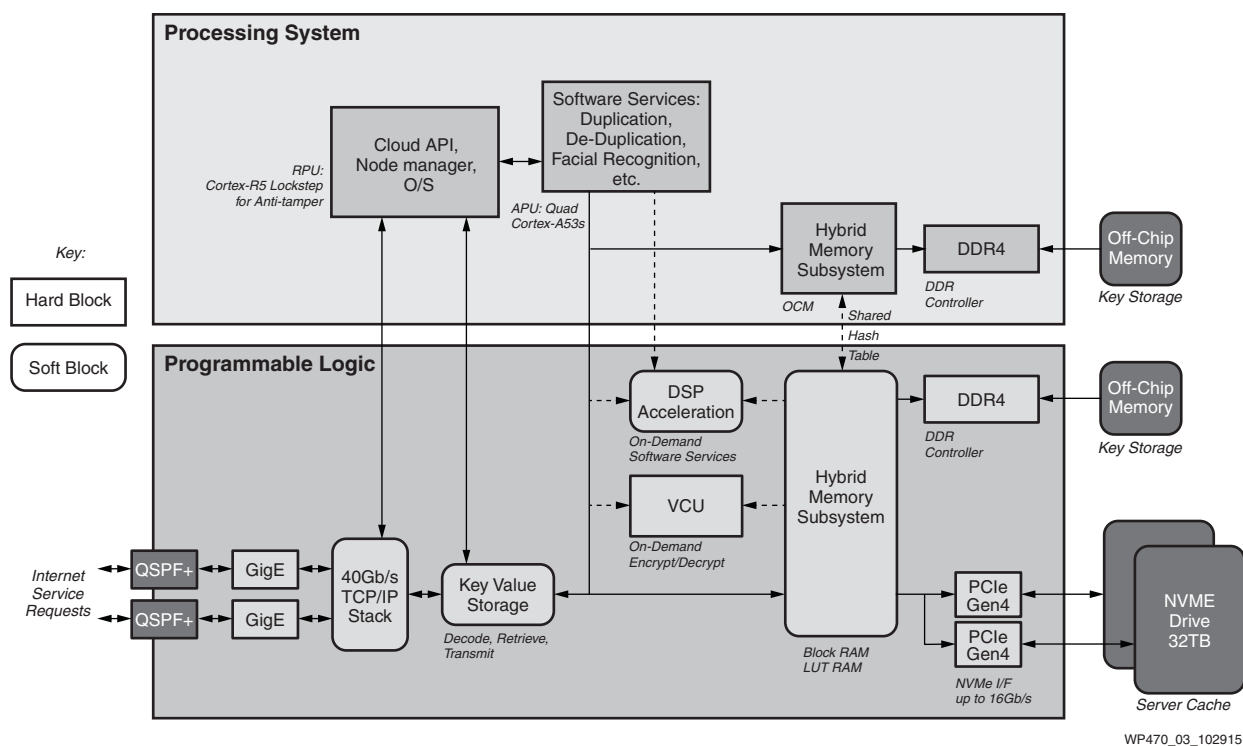


図 3 : Zynq UltraScale+ MPSoC を使用するデータ センター アプリケーション例

すべてのキーバリューストレージ処理は MPSoC のプログラマブル ロジックで実行され、MAC PHY も含まれているため、BOM 表に新たなコンポーネントを追加する必要がなく、システム全体の消費電力を抑えることができます。すべての主要システムは、ギガビットイーサネットブロック用の2つの40Gb/sネットワークライン、TCP/IPスタックプロセッシング、DDR4メモリ制御、および最大32TBのキャッシュメモリに対応する2本のNVMe PCIe インターフェイスなどを含むプログラマブルロジックから直接駆動できます。

MPSoC ではさらに、統合された VCU ブロックを使用することで、データの圧縮/解凍などの機能が有効になります。複数ブレードファーム用に制御プレーンソフトウェアを実行する場合は APU が使用できます。その他の方法として Kinetic などのオープンストレージプラットフォームを使用した場合、制御モジュールを追加する必要がなくなります。Linux OS を実行しハイパーバイザーで調整される各 APU は、データの複製、検索、解析、または画像認識/補正などのソフトウェア定義型サービスを単独で提供できます。

MPSoC は、ウェブサーバーがパイプラインボトルネックとなる最大 80Gb/s までのキーバリューストレージの2つの QSPF+ ラインレートと最大 32TB のストレージを提供します。その結果、概算で 104MRPS (x86 インプリメンテーションの 4.5 倍の) 性能と、27 ワット (1/20 まで電力削減) の消費電力を可能にします。

Zynq UltraScale+ MPSoC を使用した車載システム：セントラル ADAS モジュール

Zynq-7000 デバイスは、現在既に車両の安全システムおよびカメラ システムに広く採用されています。車両に搭載されるカメラ システムの数は、ステレオカメラを含めて、今後 4 年以内に 2 倍に増加すると予想されています。車載用セントラル ADAS ユニットの、少なくとも各 2 メガピクセル/30fps で最大 6 つのカメラを同時に使用するビデオ パイプラインを制御することが求められ、Zynq UltraScale+ MPSoC はこの要件に対応します。

図 4 に、このアプリケーション例を示します。

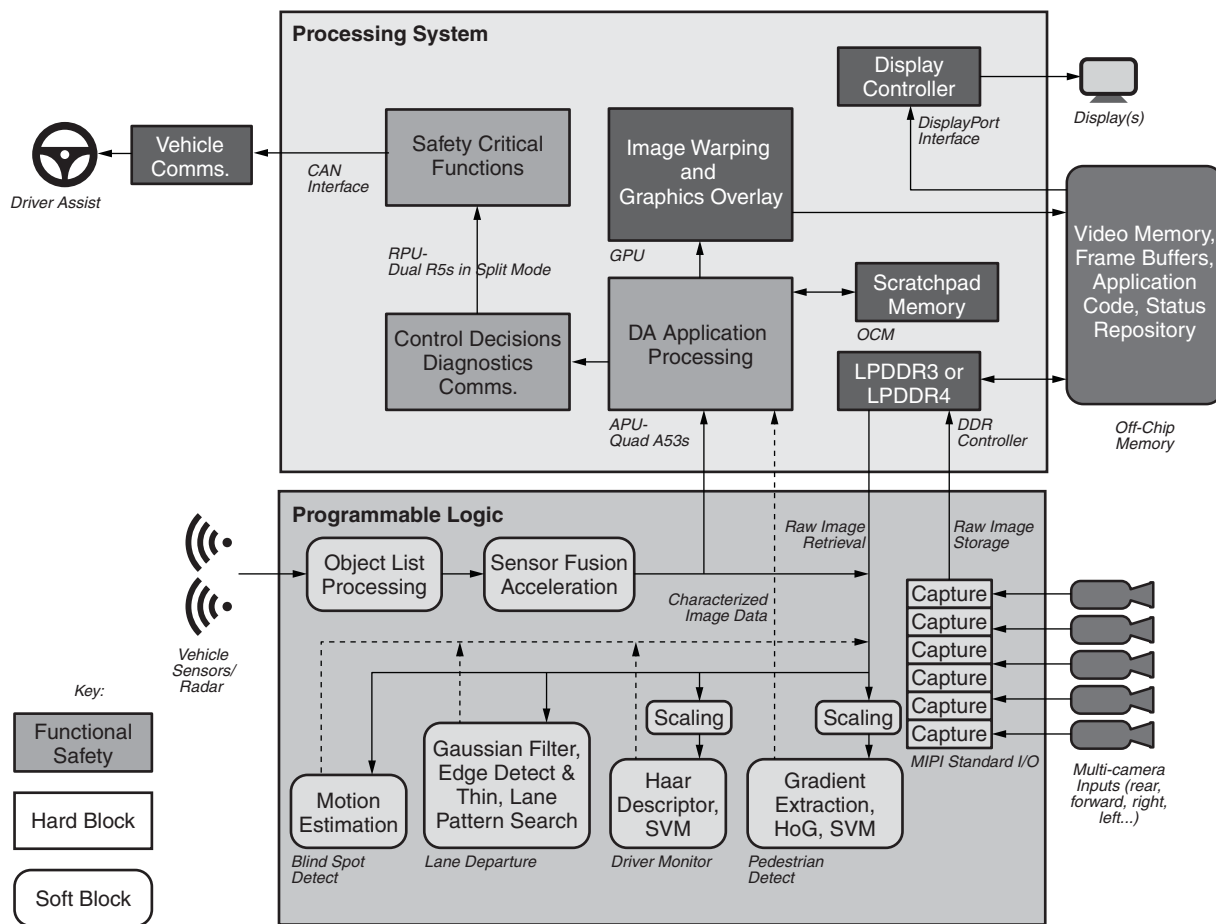


図 4：Zynq UltraScale+ MPSoC を使用した ADAS アプリケーションの例

Zynq UltraScale+ MPSoC を使用した ADAS セントラル モジュールでは、デバイスの I/O が MIPI や Ethernet プロトコルなどの多様なインターフェイス規格を使用して、車両全体の複数カメラから取得するビデオ リンクに対応します。編集前のビデオは、PL で駆動されるビデオおよび解析 IP に転送され、死角検出用の動き予測、ヘッドランプ制御用のヘッドライト/テールライト感知、車線逸脱警告用の白線検知、標識認識用のパターン認識とオブティカルフローの判断、歩行者検出用のグラディエント抽出など、高度な機能をサポートします。

処理された画像データは Zynq UltraScale+ MPSoC のプロセッシング システムに転送され、APU のクラウド コア プロセッサが画像データの環境評価を実行すると同時に車両センサーを監視します。APU は、エッジ検出用のしきい値など、パラメーター指定可能な制御レジスタを設定することで、プログラマブル ロジックのハードウェア アクセラレーターを調整できます。また、信号待ちの間には、白線検出から歩行者監視へモジュール ローディングを動的に切り替えることも可能です。APU は、物体追跡や距離推定などのフレーム単位処理を実行します。カメラ レンズ形状の補正にワーピングなどのビデオ処理タスクを GPU で実行させることで、CPU の性能向上および発熱と排熱のバランスが保たれるようになります。

環境評価された情報は APU から RPU へ転送されます。RPU は、車両へのプライマリ インターフェイスとして機能し、システムを診断すると同時に、アクチュエータの監視と開始を実行します。デュアルコアの Cortex-R5 プロセッサは、機能安全要件

を満たすためにロックステップモードで動作します。車両へのコマンドは、プログラマブルロジックでの潜在的なクロスモニタリングや診断保護の判断を受けて、統合されているCANインターフェイスを介してRPUから送信されます。

APUとRPUによって、機能安全に対応したADASホストコントローラーの統合が可能になります。これらのプロセッシングユニットのほかにも、入力ビデオリンク、グラフィックス処理、CANインターフェイス、ハードウェアアクセラレーション用プログラマブルロジックがすべてZynq UltraScale+ MPSoCに統合されているため、BOMコストが削減し、個別のホストコントローラーやカメラビデオリンクを追加する必要がなくなります。さらにGPUとオンボードメモリの統合により、ECUのシステム全体の消費電力が最大25%削減します。結果として、Zynq-7000 AP SoCを使用する同様のインプリメンテーションと比べて、単位ワットあたり4倍優れた性能を実現します。

Zynq UltraScale+ MPSoC を使用した放送電波：ソフトウェア無線

モバイル無線市場では、省電力性を重視する要件が大半です。地上用モバイル無線(LMR)と業務用モバイル無線(PMR)の両方において、広帯域の多値変調方式(LTE、TETRA)さらには次世代製品で同時多値変調方式を提供するソフトウェア定義のベースバンドアーキテクチャが圧倒的の主流となっています。公衆安全や非公開ネットワーク向けに最適化されたデータアプリケーション向けの無線プラットフォームが求められています。Zynq UltraScale+ MPSoCファミリは、公衆無線システムの開発に最適なソリューションです。

バッテリー駆動式のナローバンド公共安全無線は、全体の90%の時間がスタンバイモードとなり、残りの10%で送受信動作を行います。Zynq UltraScale+ MPSoCを使用するソフトウェア無線システムは、MPSoCに統合された電源ドメインや電源アイランドを利用して、未使用時システムすべての電源をオフにします。入力RFモジュールからの波形は、RPU内にあるいずれかのCortex-R5プロセッサによって常に監視されます。もう一方のCortex-R5プロセッサでセキュリティを管理します。APUを含む電力ドメインとプログラマブルロジックはシャットダウン状態を保持し、システム全体の電力消費はわずか35mWとなります。

図5は、Zynq UltraScale+ MPSoCファミリではこれらの要件に容易に対応できることを示しています。

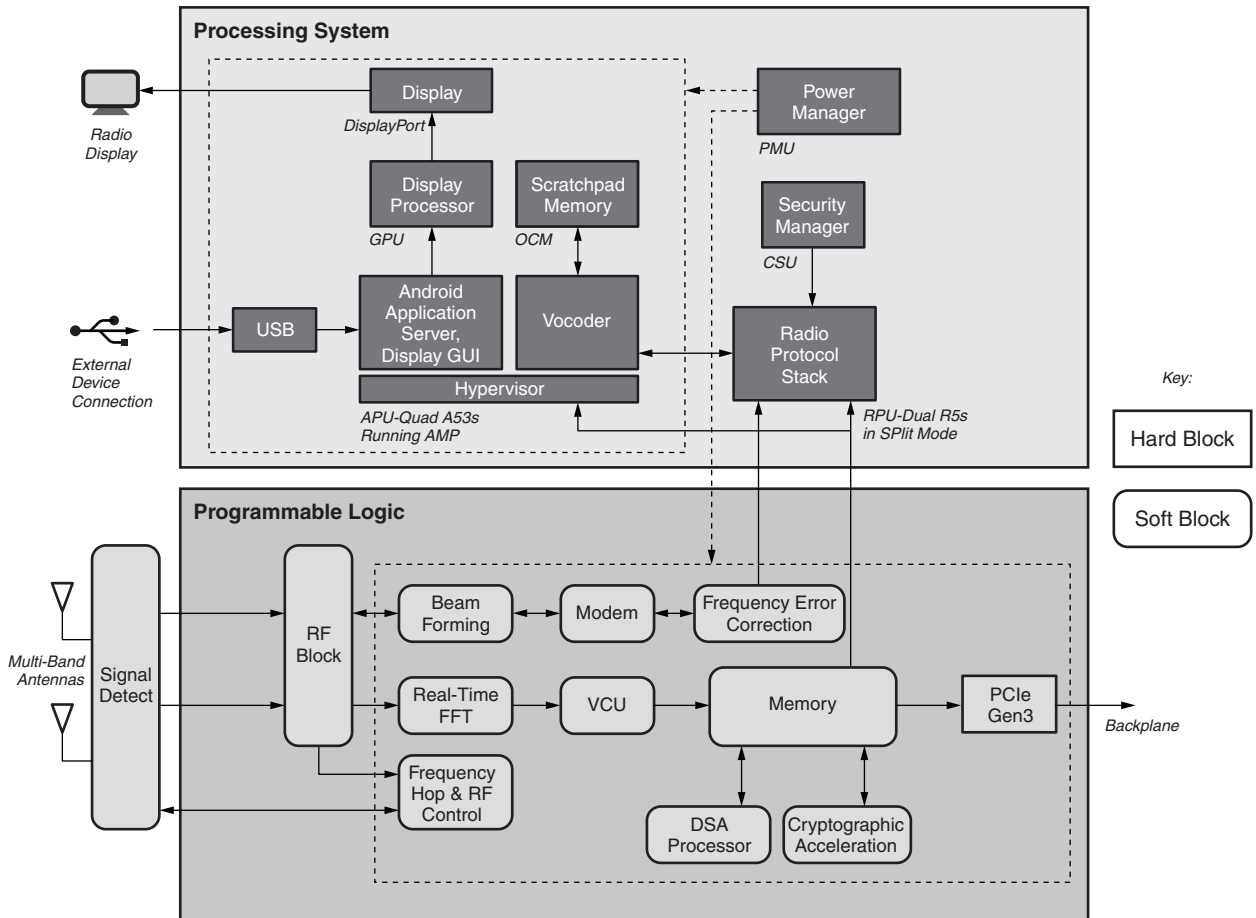


図5：Zynq UltraScale+ MPSoC を使用する公衆無線アプリケーションの例

有効な送信信号を検出すると、RPU はプロセッサ間割り込みを使用して APU とプログラマブル ロジックの両方に電源を入れます。プログラマブル ロジックはすぐに RSSI の確認、フィルタリング、およびパケット ヘッダーの復号化を開始します。送信が確認されると、APU 内の 1 つの Cortex-A53 プロセッサが、性能向上のために次世代 SIMD を用いてボコーダー (Vocoder) 処理を開始します。それと同時に、別の Cortex-A53 がディスプレイに電源を投入します。3 つ目の Cortex-A53 は、Android ベースのアプリケーションに常に対応できる状態です。これらの APU プロセッサはハイパーバイザーを使用することで完全な非対称動作が可能となり、未使用時には電源アイランドを介して電源をオフにできます。また、統合されている VCU も必要に応じて暗号化/復号化およびオフライン時の信号ストレージとして利用できます。

Zynq UltraScale+ MPSoC には多様なマルチプロセッサやハード エンジンが含まれているため、RPU は該当する信号を継続的に監視し、未使用電源ドメインをスリープ状態にして極めて低い電力状態に保ちます。プログラマブル ロジックの改善と最新の低電力メモリ インターフェイスによって、Zynq UltraScale+ MPSoC では既存のソフトウェア無線インプリメンテーションに比べて単位ワットあたりの性能が 5 倍近く向上します。

まとめ

次世代プロジェクトに最適なエンベデッド プラットフォームを選択する場合、制約の多い ASSP SoC に執着する必要はありません。Zynq UltraScale+ MPSoC は、真のマルチプロセッサ ハードウェアと柔軟なアーキテクチャを備えており、複数の電源ドメインとゲート制御可能な電源アイランドによって消費電力を細かく制御でき、マルチメディア環境のパイプライン処理に対応できる専用の高性能エンジンを搭載しています。カスタム アクセラレーター用に拡張可能なプログラマブル ロジック、広範な高速汎用 I/O、オプションの VCU はすべての デバイス ファミリーで利用可能で、BOM コストの削減を実現します。

Zynq UltraScale+ MPSoC の詳細は、japan.xilinx.com/products/silicon-devices/soc/zynq-ultrascale-mpsoc を参照してください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2015 年 11 月 6 日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社 (本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ) に開示される情報 (以下「本情報」といいます) は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず (商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない (否認する) ものとし、また、(2) ザイリンクスは、本情報 (貴殿または貴社による本情報の使用を含む) に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない (契約上、不法行為上 (過失の場合を含む)、その他のいかなる責任の法理によるかを問わない) ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害 (第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます) が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

ザイリンクスの製品は、フェイルセーフとして設計されたり意図されてはならず、また、フェイルセーフの動作を要求するアプリケーション (具体的には、(I) エアバッグの展開、(II) 車のコントロール (フェイルセーフまたは余剰性の機能 (余剰性を実行するためのザイリンクスの装置にソフトウェアを使用することは含まれません) および操作者がミスをした際の警告信号がある場合を除きます)、(III) 死亡や身体傷害を導く使用、に関するアプリケーション) を使用するために設計されたり意図されたりもしていません。顧客は、そのようなアプリケーションにザイリンクスの製品を使用する場合のリスクと責任を単独で負います。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。