



WP471 (v1.0) 2015 年 11 月 24 日

パフォーマンスと 統合性を推し進める UltraScale+ ポートフォリオ

著者 : Nick Mehta

ASIC クラスの機能をワンチップに統合したザイリンクス UltraScale+™ ポートフォリオは、FinFET ノードの採用によって最高レベルのパフォーマンスと統合性を実現しています。

概要

個々のデバイスまたはライン カードに対する高機能化の要求が続く中、実際のデザインに役立つ機能をユーザーに提供することの必要性が高まっています。しかしどれだけ機能が増えたとしても、アプリケーション設計期間や全体的なタイム トゥ マーケットが同じだけ伸びてしまったのでは意味がありません。

ザイリンクス UltraScale+ ポートフォリオは高性能な FPGA と柔軟でスケーラブルな MPSoC をラインナップしており、現在の市場で FinFET テクノロジーを利用した唯一の包括的なプログラマブル ポートフォリオを実現しています。

この安定した実証済みアーキテクチャに基づく UltraScale+ ポートフォリオは非常に高度なシステム統合と ASIC クラスの機能を達成しており、業界での定評を確立したデザイン ツールを組み合わせることにより、電力効率に優れ、性能を最適化したデザインを短期間で開発していただけます。

強固な基盤

UltraScale® アーキテクチャは、20nm ノードの Kintex® UltraScale および Virtex® UltraScale FPGA で最初に導入されました。この革新的なアーキテクチャは、将来のファミリの強固な基盤となる新しいシステム レベル機能をいくつか採用していました。コア アーキテクチャは設計が見直され、単なるデバイスの大容量化ではなく、実際に利用可能なデバイス容量を重視した設計となっています。ロジックおよび配線構造が改良されてリソース使用率が向上すると同時に、新しい ASIC 方式のクロッキング構造の採用により、「すべてのクロックをすべてのデスティネーションに」分配するというアプローチに成功しています。こうして生まれた UltraScale アーキテクチャでは、それまでに比べはるかに複雑なシステムを 1 つのデバイスにインプリメントできるようになりました。

新しい要素を追加

デバイスの世代間でアーキテクチャの一貫性を維持することには明確なメリットがあります。たとえば、ある世代のデバイスで作成したプロトタイプを利用して、次世代デバイスの利点をいち早く導入できるのもその 1 つです。しかしその一方で、年々高まるパフォーマンスへの要求にも応えていく必要があります。UltraScale アーキテクチャを基盤として新しい革新的な機能の数々を追加した UltraScale+ ファミリは、これまでの枠を超えるパフォーマンスと統合性を果たしています。

コネクティビティを強化する IP を統合

プログラマブル リソースを使用せずに少ない電力でオンチップおよびオフチップのデータを転送できるようにするため、UltraScale アーキテクチャはシステム コンポーネント間の通信に使われる一般的なコネクティビティプロトコルに対応した統合ブロックをいくつか内蔵しています。内蔵される PCI Express®, イーサネット、および Interlaken プロトコル用統合ブロックの数はデバイスによって異なりますが、UltraScale+ ファミリではこれらのブロックがいずれも強化されています。

Nx100G のスループットに対応した PCI Express

UltraScale+ アーキテクチャの PCI Express 用統合ブロックはパフォーマンスが 2 倍に向上し、新たに Gen3 x16 をサポートしています。この帯域幅により、1 個の PCIe ブロックで 100Gb/s アプリケーションを構築できます。また、PCI Express Gen4 をいち早く利用したいというユーザー ニーズに応え、PCI Express 4.0 ベース仕様バージョン 0.7 に基づいた Gen4 x8 をサポートしています。

仮想化の普及が進む中、I/O リソースをより手軽に共有できるように、新しい PCI Express 用統合ブロックでは利用可能な PF (Physical Function) と VF (Virtual Function) の数がどちらも大幅に増えています。4 つの PF と 252 個の VF を使用できるようになったので、FPGA にインプリメントできるファンクションの数が大幅に増え、システムの消費電力とコストを削減しながら I/O リソースを共有できます。この機能は、特にデータ センターのように複数のオペレーティング システムが 1 つの PCIe リンクで I/O リソースを共有する場面で威力を発揮します。

さらに、新しい PCIe 用統合ブロックではパケットの追跡に使用できるタグの数も大幅に増えています。このため、大規模で複雑なシステムで未処理のまま保留できる読み出し要求の数が増え、システム パフォーマンスが向上します。

RS-FEC を内蔵し OTN アプリケーションにも対応したイーサネット MAC/PCS

イーサネットは現在、データ センターのほとんどすべてのアプリケーションに採用されており、ラック内でのカード間、データ センター内でのラック間とはもとより、データ センター間での大量のデータ転送にも利用されています。イーサネットは幅広いデータ レートをサポートしているため、1 つの規格でさまざまな帯域幅の要求に対応できるという点で理想的です。しかし帯域幅に対する要求の高まりとともにライン レートも全体的に向上する傾向にあります。ごく最近まで 10GBASE-LR/-KR などの 10G インターフェイスを使用していたシステムも、現在では 100G インターフェイスを複数必要とするようになってきました。

新しいイーサネット MAC/PCS ブロックは RS-FEC (リード ソロモン前方誤り訂正) ブロックを内蔵しています。特性上、CAUI-4 プロトコルなどで 25G 光学モジュールに接続すると、トランシーバー品質には関係なく光学モジュールによってエラーが混入します。通常、このような光学エラーを訂正するにはデバイス ロジックで FEC アルゴリズムを作成する必要があります。新しいイーサネット MAC/PCS ブロックは RS-FEC 機能を追加しているため、100G ブロック 1 個につきシステム ロジックを約 100K 節約できます。また、この RS-FEC はイーサネット MAC/PCS ブロックから切り離してスタンドアロンブロックとして使用できるため、任意のカスタム アプリケーションで RS-FEC ブロックの機能を使用できるという利点もあります。

光学アプリケーションへの対応に関するもう 1 つの変更点として、イーサネット MAC/PCS に OTN モードが追加されています。このモードでは、OTN アプリケーションで PCS から MAC が切り離され、PCS を MAC から独立して動作させることができます。プログラマブル ロジックに専用の PCS ブロックをインプリメントした場合に比べ、システム ロジック セルを約 70K 節約できます。

300G リンクに対応した Interlaken

Interlaken はスループットの柔軟性が高く、チップ間またはマザーボードとドーターボード間の広帯域インターコネクต์に適しています。用途としては、短～中距離の接続を想定しています。また、Interlaken はイーサネット プロトコルで使用されるようなフレーム データのカプセル化にも適しています。

新しい Interlaken 用統合ブロックには 2 つの隣接ブロックを結合するオプションもあり、この場合、25Gb/s トランシーバー 12 個を使用して最大 300G のリンクを構築できます。以前は、このようなロジックを追加するにはプログラマブル ファブリックのリソースが必要でした。隣接するブロックを結合した場合、150G ブロック 1 個につきシステム ロジック セルを約 60K 節約できます。

MIPI (Mobile Industry Peripheral Interface)

UltraScale+ ファミリーは UltraScale ファミリーと同様のパラレル I/O 構造を採用していますが、新たに MIPI D-PHY の機能を追加しています。差動 I/O の任意のペアを MIPI TX または RX に設定して、イメージセンサーや DSI (Display Serial Interface) 規格に対応したディスプレイを接続できます。HP I/O バンク 1 つで最大 8 つの RX インターフェイスをサポートします。この PHY は MIPI D-PHY1.1 に準拠しており、SLVS-400 を用いた HS (High-Speed) モードと LVCMOS を用いた LP (Low-Power) モードを切り替えることができるため、パフォーマンスと消費電力のどちらかを優先するかを選ぶことができます。

大容量オンチップ メモリ

ザイリンクス FPGA は何世代も前からオンチップ メモリを内蔵しています。1 つはブロック メモリ (36Kb ブロック RAM) で、もう 1 つはルックアップ テーブル (LUT) の一部をメモリとして構成できる分散 RAM (1 LUT につき 64 ビット) です。UltraScale+ デバイスではオンチップで扱うデータ量がさらに増えるため、外部 DDR や SRAM にアクセスするよりも消費電力とレイテンシのオーバーヘッドが少ないローカルバッファにデータを格納することの必要がこれまで以上に高まっています。この要求に応えるため、UltraScale+ デバイスの多くは UltraRAM を内蔵しています。UltraRAM は 288Kb デュアルポート メモリのブロックで、カスケード接続することによって約 100Mb の大容量メモリ アレイを構成できます。最近のザイリンクス FPGA および SoC アーキテクチャに内蔵される他のリソース同様、UltraRAM もデバイス全体にカラムとして分散されています。同一カラム内の各ブロックはボトムアップ式にカスケード接続されており、複数のカラムをファブリック ロジックおよびインターコネクต์を使用して接続できます。このようにカスタマイズ可能な方法でオンチップ メモリ アレイを構築できるため、デバイス内でメモリが必要とされるブロックに隣接して個々のアプリケーションに最適なメモリをインプリメントできます。

2,667Mb/s のオフチップ メモリ インターフェイス

UltraScale+ デバイスには従来の FPGA および SoC に比べはるかに大容量のオンチップ メモリが内蔵されていますが、それでもオフチップ メモリへのインターフェイスが不要になるわけではありません。UltraScale+ デバイスはすべての I/O バンクにメモリ PHY を備えているため、高速 I/O はいずれもメモリ インターフェイスとしてコンフィギュレーションできます。これにより、オンチップに収容できない大容量メモリと DDR4 (最大 2,667Mb/s)、DDR3、DDR3L、RLDRAM3、および QDR IV インターフェイス経由で通信できます。

現在の市場では、帯域幅の拡大と消費電力の削減のため低コストのパラレル メモリからシリアル メモリへの移行が進んでいます。こうした中、UltraScale+ デバイスもハイブリッド メモリ キューブ (HMC) Gen2/Gen3、および MoSys 社の Bandwidth Engine をサポートするなど、次世代プロトコルへの対応を積極的に進めています。最新の HMC Gen3 を利用した場合、ザイリンクス UltraScale+ デバイスは GTY トランシーバーを経由して最大 8GB のメモリに 30Gb/s で接続できます。

デジタル信号処理 (DSP) 帯域幅

UltraScale アーキテクチャでは、DSP スライスの新機能として前置加算器の出力 2 乗、ワイド XOR、および 27x18 乗算器が導入されました。UltraScale+ デバイスの DSP スライスも同様の改良が図られています。従来の UltraScale ファミリーからの改良点は 2 つあります。それは DSP スライスの量と動作速度です。最大 891MHz で動作可能な Virtex UltraScale+ FPGA は、最大容量のデバイスで約 12,000 の DSP スライスを内蔵しており、単一のデバイスで 21TMAC/s の固定小数点デジタル信号処理が可能です。この DSP スライスは固定小数点をネイティブにサポートするほか、ごくわずかなロジックを組み合わせた単精度および倍精度の浮動小数点演算を両方サポートするようにコンフィギュレーションできます。最大容量の Virtex UltraScale+ FPGA は 7TFLOPS の単精度浮動小数点性能を発揮します。

ヘテロジニアス マルチプロセッシング システム

Zynq UltraScale+ MPSoC は、ARM® ベースのプロセッシング システム (PS) とプログラマブル ロジック (PL) を組み合わせたザイリンクス SoC の第 2 世代製品です。Zynq UltraScale+ MPSoC の PL のアーキテクチャは、基本的に Kintex UltraScale+ および Virtex UltraScale+ デバイスで使用しているものと同じです。Zynq UltraScale+ MPSoC の特色は、ARMv8 ベースの高性能で高効率な 64 ビット クワッドコア Cortex®-A53 アプリケーション プロセッサとデュアルコア ARM Cortex-R5 リアルタイム プロセッサを組み合わせたインテリジェントで柔軟なプロセッシング システム (PS) にあります。次世代のプログラマブル エンジン、セキュリティ、安全性、信頼性、そして 32 ビットから 64 ビットへのスケーラビリティを備えた Zynq UltraScale+ MPSoC は、これまで以上の省電力性、処理性能、プログラマブル アクセラレーション、I/O、メモリ帯域幅を実現しており、ヘテロジニアス プロセッシングを必要とするアプリケーションに理想的です。

プロセッサの機能をサポートするため、PS には専用機能を備えた多数のペリフェラルが内蔵されています。

- 外部メモリへのインターフェイス: マルチプロトコルダイナミック メモリ コントローラー、NAND コントローラー、DMA コントローラー、および SD/eMMC コントローラー
- 高速および汎用コネクティビティ: PS-GTR トランシーバー、PCIe® Gen2 用ブロック、USB3.0、USB2.0、および DisplayPort

最先端のプロセス テクノロジーを導入

UltraScale+ ファミリーは、ザイリンクスがファウンドリ パートナーの TSMC 社と提携を結んでから第 3 世代にあたる製品で、TSMC 社の 16nm FinFET+ プロセス (16FF+) の採用により、実証済みのザイリンクス UltraScale アーキテクチャのパフォーマンスと電力効率をさらに高い次元に引き上げています。

これまで業界では数十年間にわたってプレーナ型 CMOS トランジスタが使われてきましたが、このトランジスタ構造を 20nm ノード以降も引き続き微細化していくことは物理的および電気的特性上困難となっており、これに代わる新しいトランジスタ構造の開発が避けられない状況となっていました。何年にもわたりさまざまな研究が行われた結果、電気的特性と量産性に優れた 3D FinFET トランジスタが近い将来の微細化継続に最も有力なソリューションとして認められるようになっていきます。

All Programmable アーキテクチャで新しい ASIC クラスの機能を実現した UltraScale+ ファミリーの発表により、業界初のテクノロジーを市場に投入するというザイリンクスと TSMC 社の協業は今回も成功を収めています。改良されたザイリンクス UltraScale アーキテクチャに基づく 20nm から 16nm 以降のモノリシックおよび 3D IC デバイスは、いずれも TSMC 社の 16nm FinFET 3D トランジスタ技術を基盤として製造されます。3D IC ベースの製品には、TSMC 社が 28nm ノードで量産化を達成した CoWoS (Chip-on-Wafer-on-Substrate) プロセスを使用してインプリメントしたザイリンクスの実証済みスタックド シリコン インターコネクト (SSI) テクノロジーを利用します。これらのテクノロジーを結集させることで、ザイリンクスと TSMC 社は最高の性能、電力効率、集積度、および信頼性を備えた FPGA と SoC を市場に投入し続けています。

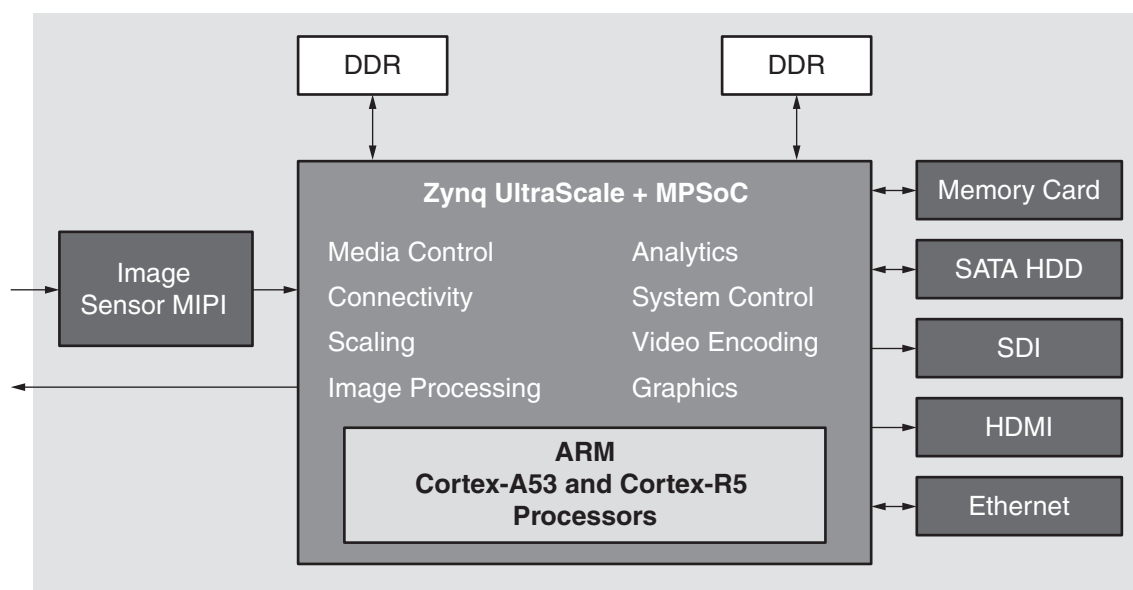
FinFET プロセスの主な利点の 1 つに、プロセス ウィンドウが広いことが挙げられます。このため、個々のアプリケーション要件に応じてさまざまな電源電圧でデバイスを動作させることができます。デバイスを公称電源電圧で動作させると最高のパフォーマンスが得られる一方、消費電力の制約が厳しいアプリケーションでは低い電源電圧で動作させて消費電力を最大 30% 削減できます。

主なアプリケーション

UltraScale+ ファミリーはプログラマブルであるため、多くのアプリケーションや市場に適します。ここでは、これら製品の新しい機能の応用例をいくつか紹介します。

放送用カメラ

Zynq UltraScale+ デバイスはクワッドコア ARM Cortex-A53 APU (アプリケーションプロセッシングユニット) を内蔵しており、次世代放送用カメラの開発に理想的なプラットフォームを提供します (図 1)。MPSoC は光学制御およびユーザー インターフェイスに理想的なソリューションです。リアルタイム処理とビデオコーデックユニット (VCU) は、デュアルコア ARM Cortex-R5 RPU (リアルタイムプロセッシングユニット) が実行します。この VCU は H.265 規格準拠の HEVC (High Efficiency Video Coding) および H.264 規格準拠の AVC (Advanced Video Coding) など複数規格のビデオコーデックに対応しており、60fps なら最大 4Kx2K、それ以下のフレームレートなら 8Kx4K までの解像度をサポートします。



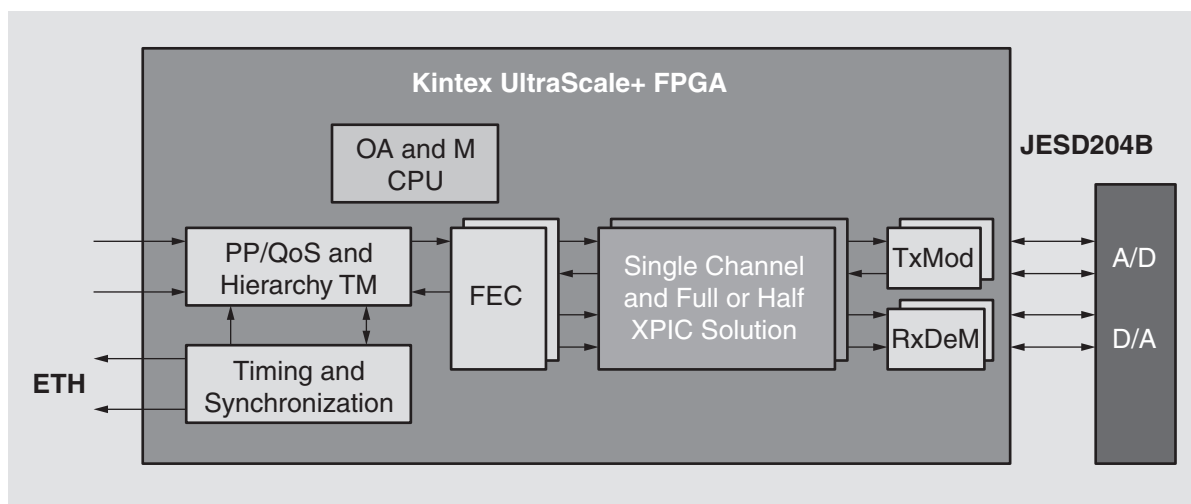
WP471_01_111015

図 1: Zynq UltraScale+ MPSoC を使用した放送用カメラ

Zynq UltraScale+ MPSoC のプログラマブル ロジック (PL) のパラレル I/O は新たに MIPI をサポートしており、イメージセンサーをネイティブに接続できるため、特別な IP を追加する必要がありません。また、オンチップの UltraRAM はストリームバッファとして十分なメモリ容量があるため、外部メモリを接続する必要もありません。この結果、これまで3つの Zynq-7000 SoC を必要としていたシステムも Zynq UltraScale+ MPSoC なら1個に収容でき、システムの部品点数を削減してボードの複雑さを抑えながら、より高性能で低消費電力なシステムを実現できます。

eBand モデム

Kintex UltraScale+ ファミリはミッドレンジデバイスですが、機能とブロック性能はハイエンドの Virtex UltraScale+ ファミリと同じです。ミッドレンジファミリで特に重視されるのは、動作時の消費電力削減とパッケージの小型化を図りながら最適なリソース配分を実現することにあります。これは、スペースの制約が厳しくアクティブ型の冷却を利用できない環境で使用されることが多いためです。このように消費電力とスペースの制約が厳しく、なおかつ高いパフォーマンスが要求されるアプリケーションの代表例として、無線通信市場が挙げられます。



WP471_02_111215

図 2 : Kintex UltraScale+ FPGA を使用したミリ波モデム

図 2 に示すように、Kintex UltraScale+ FPGA は 2 つの Kintex-7 FPGA の機能を 1 つのデバイスに集約できます。16nm FinFET+ プロセスは低消費電力が大きな強みですが、パフォーマンスが犠牲になっては意味がありません。Kintex UltraScale+ FPGA は少ない消費電力で動作するように設計されていますが、それと同時に、無線デザインに必要な 491MHz ~ 737MHz のシステム周波数を達成しており、多くの 5G システムの要件を満たします。これらのデバイスには約 900MHz で動作可能な DSP スライス を最大 3,528 個まで含めることができ、多くの無線デザインでこれまでをはるかにしのぐパフォーマンスを実現できます。Kintex UltraScale+ デバイスは 16.3Gb/s GTH トランシーバーと 32.75Gb/s GTY トランシーバーを組み合わせることにより、ミッドレンジ製品でありながら 30Gb/s 超の通信を可能にしており、JESD204B など広く普及が進みつつある規格をサポートするのに十分な帯域幅を確保できます。

1Tb MuxSAR ハイブリッド OTN スイッチング

ザイリンクスの Virtex クラス FPGA は、これまで一貫して最も高性能かつ高機能な FPGA として業界をリードしてきました。この系譜を継ぐ Virtex UltraScale+ ファミリーは、最大 128 個の GTY トランシーバー (最大データレート 32.75Gb/s)、最大 24 個の統合コネクティビティブロック (PCIe、イーサネット、および Interlaken プロトコルを実装) を 1 個のデバイスに集積しており、これまで以上に大容量のデータをオンチップで扱えるようになってきました。この膨大なデータを格納および処理するため、Virtex UltraScale+ デバイスは最大 360 万個のシステム ロジック セルと 11,904 個の DSP スライスを内蔵しています。Virtex UltraScale+ ファミリーは UltraScale デバイスのブロック RAM と分散 RAM に加え UltraRAM も内蔵しており、最大容量のデバイスではかつてない 0.5Gb ものオンチップ ストレージを確保しています。

このため、Virtex UltraScale+ FPGA を使用するとこれまでより多くのデータ チャンネルを 1 枚のカードに集約できます。16FF+ プロセスは消費電力とパフォーマンスのバランスに優れているため、これほどの機能を集約しても消費電力が問題になることはありません。図 3 に、2 つの VU13P FPGA で構成した 1Tb MuxSAR ハイブリッド OTN スイッチング アプリケーションを示します。

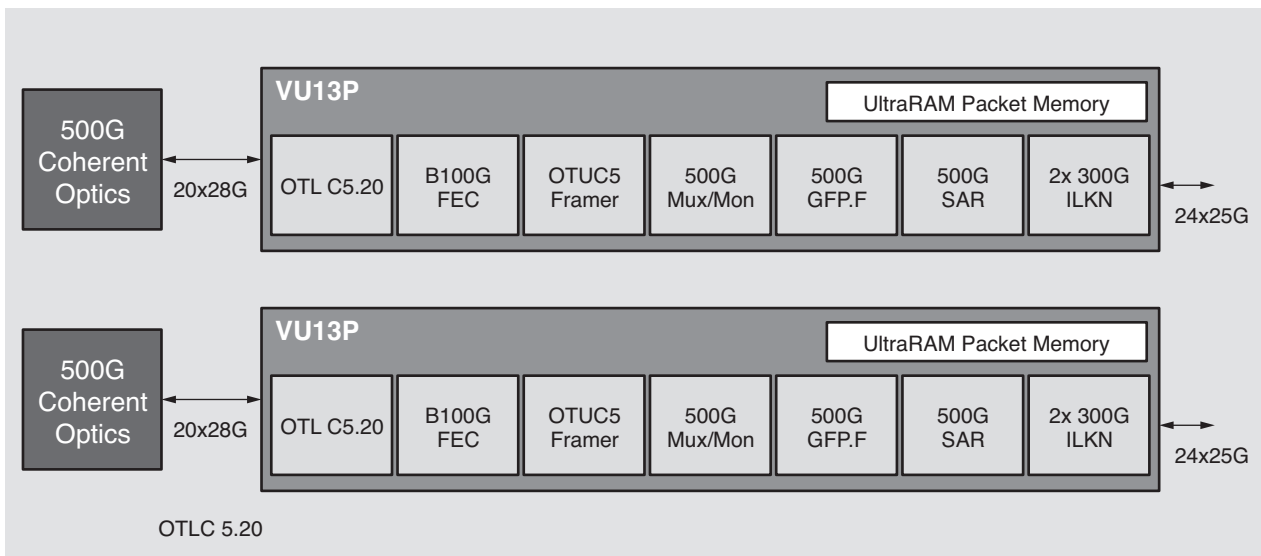


図 3 : Virtex UltraScale+ デバイスを使用した 1Tb OTN カード

この図の左側で、各 FPGA は新しいイーサネット MAC 統合ブロックを使用して 20 個の GTY トランシーバー経由で 500G コヒーレント光学モジュールに接続しています。UltraScale+ FPGA のイーサネット ブロックは新たに OTN マッピング モードに対応しており、PCS をスタンドアロンで使用できます。このため、プログラマブル ロジックに専用の PCS ブロックをインプリメントした場合に比べ、システム ロジック セルを約 70K 節約できます。さらに、24 個の Interlaken 統合ブロックによるロジックセルの節約も合わせると、カスタム アプリケーションに利用できるロジック数は従来のアーキテクチャに比べ格段に増大します。また、UltraScale+ デバイスで新たに追加された UltraRAM により、800Mb 超の packets メモリを 1 枚のカードに集約することも可能です。これまでオフチップにインプリメントされていた packets メモリと比べると、Virtex UltraScale+ ソリューションではメモリ レイテンシが低減し、部品点数も削減されます。

実証済みのアーキテクチャとツール

近年、ザイリンクスは新製品の導入リスクを軽減しながらユーザーが ASIC クラスのシリコン アーキテクチャとデザイン ツールへ移行していただけるよう、タイミングを慎重に見計らって製品の開発と発表を進めてきました。4 年の開発期間を経て、ザイリンクスは 2012 年 7 月に ASIC クラスのデザイン環境となる Vivado® Design Suite の一般提供を開始しました。その後 2 年余りでユーザーの大半が Vivado ツールへの円滑な移行を果たし、現在ではツール実行時間の飛躍的な短縮、結果品質の向上、デバイス利用率の改善、そして UltraFast™ 設計手法による開発期間の大幅な短縮といった確かなメリットを手にしていただいています。

2013 年 11 月、ザイリンクスは初の ASIC クラス プログラマブル アーキテクチャとなる革新的な UltraScale アーキテクチャに基づく 20nm デバイスの出荷を開始しました。UltraScale デバイスはかつてないレベルの統合性とシステム レベル パフォーマンスを実現しており、広大な I/O およびメモリ帯域幅、大量のデータフロー、そして高度な DSP およびパケット処理性能を必要とする高性能アプリケーションに対応します。20nm 世代で確かな実績を残した UltraScale アーキテクチャは 16nm への微細化も念頭に設計されており、より高いレベルのパフォーマンス、電力効率、および統合性を必要とする次世代アプリケーションのニーズに応えます。多くの改良を加えた UltraScale+ ファミリーは、TSMC 社の 16nm FinFET+ テクノロジーで製造されるザイリンクスの次世代 FPGA および MPSoC デバイスの基盤となります。

長い期間を経て戦略的に新しいデザイン ツールおよびアーキテクチャの投入と実証を重ねることにより、ザイリンクスは FinFET プロセス テクノロジーへの移行リスクを劇的に軽減してきました。これらツールとアーキテクチャは豊富なノウハウを活かして開発および最適化されており、これによって UltraScale+ デバイスの採用が非常に短期間で進み、ユーザーに確かなメリットをもたらす結果を生んでいます。

ザイリンクス UltraScale+ ファミリーの詳細、およびこれらファミリーを使用した設計に関する情報は、ザイリンクスの [UltraScale アーキテクチャ](#) のページおよび『UltraScale アーキテクチャおよび製品概要』(DS890) を参照してください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2015年11月24日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえば当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

ザイリンクスの製品は、フェイルセーフとして設計されたり意図されたりはならず、また、フェイルセーフの動作を要求するアプリケーション(具体的には、(I)エアバッグの展開、(II)車のコントロール(フェイルセーフまたは余剰性の機能(余剰性を実行するためのザイリンクスの装置にソフトウェアを使用することは含まれません)および操作者がミスをした際の警告信号がある場合を除きます)、(III)死亡や身体傷害を導く使用、に関するアプリケーション)を使用するために設計されたり意図されたりしていません。顧客は、そのようなアプリケーションにザイリンクスの製品を使用する場合のリスクと責任を単独で負います。