



WP477 (v1.0) 2016 年 6 月 14 日

UltraRAM : UltraScale+ デバイスに 搭載された画期的なエンベデッド メモリ

UltraRAM は、最大で合計 500MB のオンチップ ストレージを提供する UltraScale+™ ファミリの新しいメモリ ブロックです。その容量は、ザイリンクスの 28nm FPGA のオンチップ メモリの 6 倍に相当します。

概要

従来の FPGA と SoC は、オンチップ メモリをブロック RAM と分散 RAM の形で搭載していました。デバイスが処理するデータ量の増加とデータレートの上昇に伴い、データが処理される場所の近くでデータをバッファリングまたは格納する必要が高まります。

UltraScale+ ファミリの新しい機能として、UltraRAM と呼ばれる大容量の柔軟なメモリ ブロックが挙げられます。複数の UltraRAM ブロックをカスケード接続することで、大容量のオンチップ メモリを構築できます。

ザイリンクスはこの新しい強力なブロックをデザインに組み込むのに必要なすべてのツールを提供しているため、UltraRAM をデザインで使用することは容易です。

© Copyright 2016 Xilinx, Inc. Xilinx、Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

本資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

バッファリングとストレージの需要の増大

UltraScale+™ FPGA および MPSoC は、前世代のデバイスよりもはるかに大量のデータの伝送と処理が可能です。最大規模の Virtex® UltraScale+ FPGA である VU13P は、最大データ レート 32.75Gb/s で動作する 128 個の GTY トランシーバーと、約 900MHz で動作する 11,000 個以上の DSP スライスを搭載しています。これによって 8.4Tb/s のシリアル帯域幅と 21TMAC/s の信号処理能力が得られますが、システムが前処理および後処理用に入力データと出力データを効率的にバッファリングできるように、このような高性能に対応したオンチップ ストレージの拡大が必要になります。

UltraScale™ FPGA およびそれ以前のデバイスでは、迅速で効率的なオンチップ メモリとしてブロック RAM と分散 RAM を利用できました。ただし、数百メガビットのデータを問題なく処理するには、従来は DDR4、DDR3、RLDRAM3 などの外部メモリが必要でした。

UltraScale+ ポートフォリオは、新しいストレージ手法を採用しています。UltraRAM は大容量の軽量メモリ ブロックであり、これによって UltraScale+ デバイスは、電力効率と費用対効果に優れた 500MB を超えるオンチップ ストレージを提供できます。この容量は、ザイリンクスの 28nm FPGA のオンチップ メモリの 6 倍に相当します。

UltraRAM ブロックは、柔軟なカスケード接続機能により、単一のブロックからデバイス内のすべてのブロックを接続した構成まで、さまざまなコンフィギュレーションで使用できます。このため、アプリケーションに合わせたサイズのオンチップ メモリ アレイを構築でき、QDR SRAM など一部の外部メモリ コンポーネントを PCB から削除できます。

ULTRARAM の詳細と機能

ザイリンクスの FPGA および SoC は、多くの世代にわたって、各種のリソースを隣り合わせに配列したカラムで構成されるカラム状のアーキテクチャを採用してきました。カラムの数とカラムの高さが、FPGA または SoC のサイズと機能を直接決定していました。

ほとんどの Kintex® UltraScale+ デバイスおよび Zynq® UltraScale+ デバイスの UltraRAM カラム数は 1 つですが、ハイエンドの Virtex UltraScale+ FPGA には最大 5 つの UltraRAM カラムがあります。UltraRAM は、デザイン内で単一の 288KB メモリとして使用することも、複数の UltraRAM を接続して大容量の RAM アレイを構築することもできます。アドレス信号、データ信号、制御信号用の専用カスケード配線を使用して、同じカラム内のすべての UltraRAM を接続できます。構築される RAM アレイの容量は、Kintex UltraScale+ デバイスおよび Zynq UltraScale+ デバイスでは最大 36MB、Virtex UltraScale+ デバイスでは最大 22.5MB です。Virtex UltraScale+ ファミリーでは、ファブリックの配線を使用して UltraRAM のすべてのカラムを接続し、最も大きなデバイスで最大 360MB のメモリ アレイを構築できます。

それぞれの UltraRAM ブロックは、ビット数 4,096、幅 72 ビットの固定コンフィギュレーションを持つデュアルポート同期型 288KB RAM です。ポート A とポート B は同じクロック信号を共有します。外部クロック 1 サイクル以内に、ポート A の動作はポート B の動作の前に常に完了します。各ポートは、1 クロック サイクルあたり 1 回の読み出し動作または 1 回の書き込み動作を互いに独立して実行できます。両方のポートが同じクロック サイクルで同じアドレスを使用して書き込みを実行した場合は (すなわち、アドレスの競合)、ポート A の書き込みが上書きされ、ポート B の書き込みが有効になります。ポート B が書き込みを実行中にポート A が同じアドレスを使用して読み出しを実行した場合は、ポート A がメモリ アレイ内の古いデータを取得した後、ポート B の新しいデータがメモリ アレイに書き込まれます。ポート B が読み出し動作を実行中にポート A が書き込み動作を実行した場合は、ポート A の新しいデータがメモリ アレイに書き込まれ、その新しいデータがポート B に読み出されます。各ポートが書き込み動作を実行しているときは、そのポートの読み出し出力は変わらず、以前の値を保持します。

各 UltraRAM メモリ アレイの内容は、A、B の各ポート上でハミング符号方式のシングル エラー訂正、ダブル エラー検出 (SECEDED) ECC コードによって保護され、データ インテグリティを確保します。ECC が有効の場合、UltraRAM は 64 ビット幅の保護されたデータワードを提供します。UltraRAM の SECEDED ECC コードは、ブロック RAM の ECC コードと互換性を持つように設計されています。これを利用して、1 つのメモリの入力エンコードされたデータが、ダウンストリームメモリの出力でデコードされるまで、複数のパイプライン段、メモリのタイプ、ロジックにわたって保護された状態でままでいられる、エンド ツー エンドのデータ保護方式を実現できます。

UltraRAM は、2 つのポートそれぞれに最大 4 段のパイプラインを内蔵しており、1 ~ 4 クロック サイクルのレイテンシを設定できます。UltraRAM をカスケード接続して大きな RAM アレイを構築する場合、レイテンシは、使用する UltraRAM の数 (すなわち、アレイのサイズとターゲット動作周波数) によって決まります。

消費電力の削減

UltraRAM は、(通常はユーザーが介入せずに) 電力効率を最大限に高める、さまざまな内蔵機能を備えています。これには次の機能が含まれます。

- デザイン内で使用されていない UltraRAM の電源を切断する
- 使用されていないパイプライン レジスタに自動的にクロック ゲーティングを適用する
- 各 UltraRAM が長時間使用されない場合、UltraRAM をスリープ モードに移行する

UltraRAM は、手動または自動でスリープ モードに移行できます。ユーザーは UltraRAM の SLEEP ポートにアクセスできます。SLEEP がアサートされると、UltraRAM は次のクロック サイクルでスリープ モードへの移行を開始します。スリープ モードでは、UltraRAM SRAM メモリの周囲のペリフェラル ロジックへの電源は切断されますが、SRAM は通電したままで内容を保持します。

各 UltraRAM は、次の N サイクルの間にブロックが使用されるかどうかを予測する回路を内蔵しており、使用されないと予測される場合、使用されない時間が十分に長ければ、そのブロックをスリープ モードに移行させることができます。この自動スリープ モードは、スリープ ポートとその内蔵制御ロジックを使用して、もうすぐ到着するアドレス信号とイネーブル信号のステートを予測します。AUTO_SLEEP_LATENCY 属性は、このアドレスとイネーブル信号がほかの信号よりもどれだけ早く到着する必要があるかを指定します。この情報を使用して、個々の UltraRAM が次のアクティビティの前にスリープ状態に移行してウェイクアップするのに十分な時間があるかどうかを判断します。

デザイン内での ULTRARAM の使用

UltraScale+ ポートフォリオは、ザイリンクスの Vivado[®] Design Suite を使用します。Vivado 設計ツールは、ユーザーがデバイス内の利用可能なリソースを効率的にターゲットにできるように、多数のコード テンプレートを提供します。RTL デザインで UltraRAM を使用するには、メモリを推論するコードの作成、デバイス プリミティブのインスタンス化、最近追加された XPM (Xilinx Parameterized Macro) の使用という 3 つの手法があります。多くのユーザーは、推論とインスタンス化についてよく理解しています。Vivado Design Suite の推論テンプレートは、次の場所にあります。

[Templates] → [VHDL/Verilog] → [Synthesis Constructs] → [Coding Examples] → [RAM]

Vivado Design Suite v2016.1 では、ユーザーが `ramstyle="ultra"` を指定して、UltraRAM を使用するように Vivado 合成に明示的に指示する必要があります。

UltraRAM ブロックがどのように接続されるかを厳密に制御する必要がある場合は、次の場所にあるデバイス プリミティブを使用できます。

[Templates] → [VHDL/Verilog] → [Device Primitive Instantiation] → [Kintex/Virtex UltraScale+] → [BLOCKRAM] → [URAM]

この手法は、個々のコンポーネントがどのように接続されるかを非常に細かく制御できますが、数多くのポートと信号を備えた多数のコンポーネントを使用する際は非常に大きな労力が必要になります。

RTL デザインで UltraRAM を使用する 3 つ目の手法では、次の場所にある XPM を使用します。

[Templates] → [VHDL/Verilog] → [Xilinx Parameterized Macros (XPM)] → [Memory (XPM_MEMORY)] → [RAM]

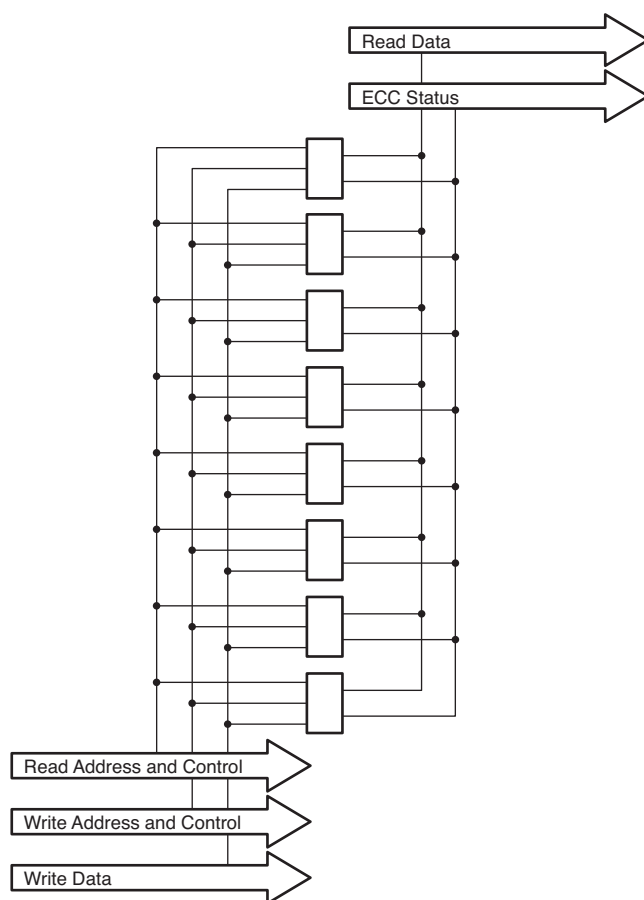
XPM は、ユーザーが指定した要件に従って RAM 構造および ROM 構造を作成するための新しいツールです。XPM コード内で、ユーザーは、メモリ サイズ、クロッキング モード、ECC モードなどの多数のジェネリック文を指定します。これらの要件は、Vivado 合成によって適切なサイズおよびスタイルのメモリ アレイに変換されます。

Vivado Design Suite v2016.1 では、ユーザーが MEMORY_PRIMITIVE ジェネリック文で UltraRAM という値を指定して、UltraRAM を使用するように Vivado 合成に明示的に指示する必要があります。

メモリアレイの構築

UltraRAM アーキテクチャは極めてスケーラブルであり、多数の UltraRAM ブロックを効率的に接続して、ファブリック リソースをほとんどまたはまったく使用せずに、アクセスレイテンシが比較的小さい、ビット数の多い論理メモリを形成できます。各 UltraRAM は、同じカラム内で隣接する UltraRAM ブロックの全体的な入力インターフェイスでと出力インターフェイスを完全にカスケード接続 (オプションによりパイプライン化) するのに必要な、すべてのロジックを内蔵しています。さらに、各 UltraRAM はポートごとに追加のロジックおよび制御入力を内蔵しており、UltraRAM ブロックアレイを通過する読み出しまたは書き込みトランザクションがそのローカルアレイを対象にしているかどうかを個別に判断し、そうでない場合は無視します。このような分散型意思決定ロジックにより、柔軟でオーバーヘッドの小さいスケーラビリティが実現されます。

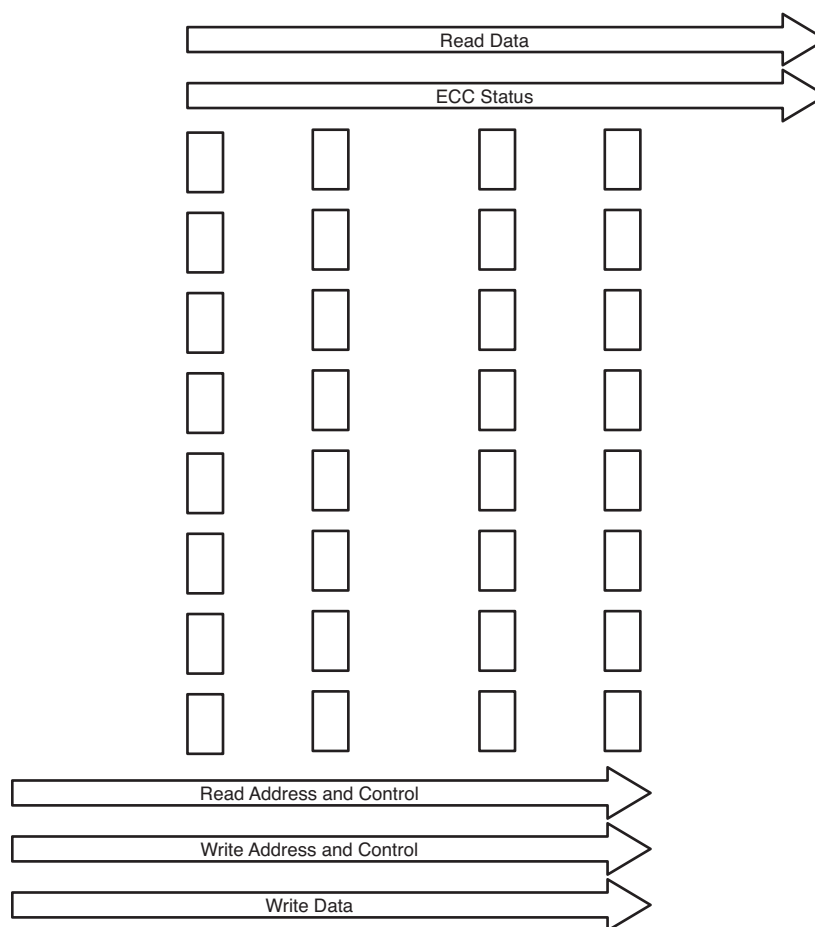
デザイン内で指定されたメモリアレイが 2 つ以上の UltraRAM ブロックを必要とする場合、複数の UltraRAM をどのように接続するかを決定する必要があります。1 つのカラム内のすべての UltraRAM を使用するか、複数のカラムにまたがるアレイ内の UltraRAM を使用するかの 2 つの選択肢があります。1 つのカラム内で UltraRAM アレイを構築する場合、複数の UltraRAM をカスケード接続するのに必要なすべての配線はそのカラム内に含まれているため、合成ツールは利用可能な専用リソースのメリットを最大限に活用できます。図 1 を参照してください。



WP477_01_032616

図 1 : カラム内でカスケード接続された UltraRAM

デザイン要件に基づいて、複数のコラムにまたがるアレイをインプリメントするのが適切であると判断される場合 (たとえば、必要なアレイが大きすぎて単一のコラムに収まらない場合)、複数のコラムにまたがるアレイが作成されます (図 2 参照)。この状況では、複数コラムの接続に若干のファブリック リソースを使用する必要があります。達成可能な最大周波数と、複数のコラムにまたがるアレイ内のアクセス レイテンシは、アレイ サイズ、使用するコラムの数やほかの設計要因 (UltraRAM コラム間のファブリック リソースがデザインのほかの部分によって何個使用されるかなど) によって決まります。



WP477_02_032616

図 2: 複数のコラムにまたがる UltraRAM アレイ

UltraRAM アレイを作成する場合、アドレス信号、制御信号、書き込みデータ信号はアレイの左下に提供され、データはアレイの右上から読み出されます。これにより、固定サイズのアレイを適切にパイプライン化すれば、どのアドレスからどのデータを読み出してもレイテンシは常に同じになります。

データパスまたは制御パスが広いデザインでは、各 UltraRAM がネイティブで提供する 64 ビットの ECC 保護ワードの幅または 72 ビットの非 ECC 保護ワードの幅よりも広いバス幅が必要になることがあります。このような場合、複数の同じ UltraRAM ブロック インスタンスまたは上記のカスケード構造を並列に使用して、非常に効率的な幅の広いワード データ ストレージ構造を構築できます。

レジスタとパイプライン化

すべての UltraRAM は図 3 に示す複数の入力レジスタと出力レジスタを備えています。コンフィギュレーションと目的とする機能によっては、一部のレジスタはオプションです。

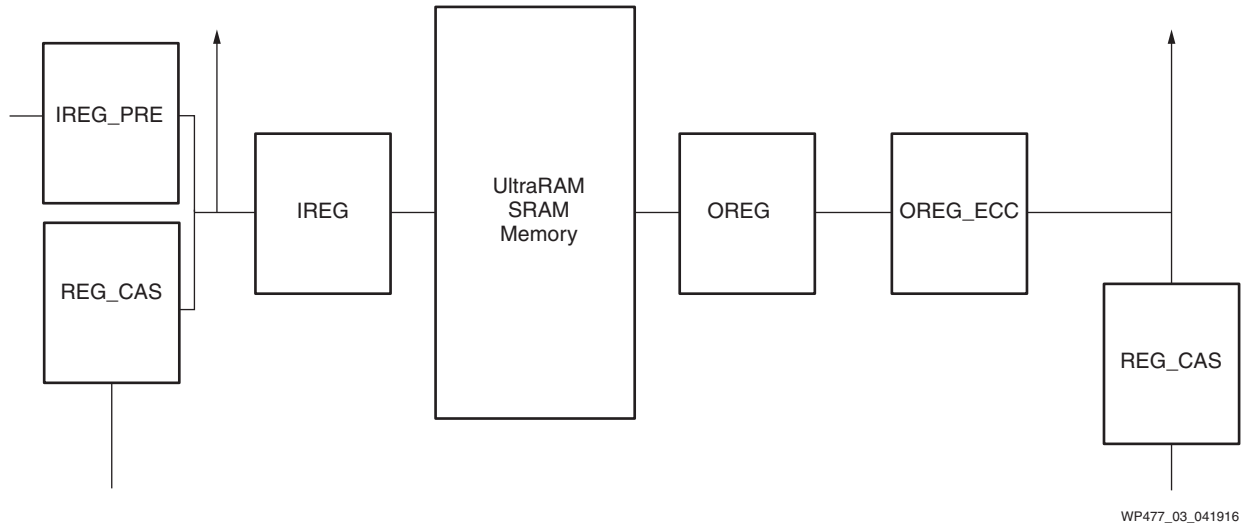


図 3 : UltraRAM レジスタ

IREG、OREG、OREG_ECC レジスタは、希望するメモリ機能に基づいてアクティブにします。また、IREG_PRE と REG_CAS は、複数の UltraRAM をカスケード接続する場合に使用するレジスタです。

複数の UltraRAM を接続する場合、最大動作周波数を維持するために次の規則に従う必要があります。

- 単一カラムのアレイの最初のインスタンス、または複数のカラムにまたがるアレイの各カラムの最初のインスタンスは、IREG_PRE レジスタを使用しなければなりません。
- OREG レジスタまたは OREG_ECC レジスタ、あるいはその両方がデザイン内で必要な場合、これらのレジスタはアレイ内のすべての UltraRAM で一貫して有効にする必要があります。
- REG_CAS レジスタは、UltraRAM ブロック 3 つおきにアクティブ化されていなければなりません。
- 単一カラムのアレイの最後のインスタンス、または複数のカラムにまたがるアレイの各カラムの最後のインスタンスは、REG_CAS レジスタを使用しなければなりません。
- アレイが複数のクロック領域に垂直にまたがる場合、クロック領域境界のどちらの側にも追加のパイプライン段が必要です。各クロック領域に 1 つのカラムあたり 16 個の UltraRAM があります。

UltraRAM ブロックの詳細と詳しい図は、『UltraScale アーキテクチャ メモリ リソース ユーザー ガイド』(UG573 : [英語版](#)、[日本語版](#)) の第 2 章を参照してください。

ULTRARAM への移行

選択したターゲット デバイス内で利用可能な各種メモリ リソースの量を認識していることは重要です。場合によっては、最初にブロック RAM のみを搭載したデバイスをターゲットにして、最終的なデザインでは UltraRAM を搭載したデバイスをターゲットにすることがあります。この場合、UltraRAM の機能をよく理解し、ブロック RAM と UltraRAM の両方の機能を使用するコードを作成する必要があります。合成ツールはこの方法で、ターゲット デバイス内で UltraRAM が利用可能なときは UltraRAM を使用できます。異なるデバイスに変更する際にユーザーが設計を見直す必要はありません。

表 1 に、各種の UltraScale+ ファミリーで利用可能な UltraRAM リソースを示します。Virtex UltraScale+ デバイスでは、すべての UltraRAM を接続して、複数のカラムにまたがる最大 360MB のアレイを作成することが可能です。よく使用される複数インスタンスの使用モデルである 10MB ~ 144MB のアレイも作成できます。

表 1 : UltraScale+ ポートフォリオの UltraRAM リソース

ファミリ	Kintex UltraScale+	Virtex UltraScale+	Zynq UltraScale+
UltraRAM の数	0 ~ 128	320 ~ 1,280	0 ~ 120
UltraRAM の容量 (MB)	0 ~ 36	90 ~ 360	0 ~ 36
カラムの高さ (MB)	0 ~ 36	18.0 ~ 22.5	0 ~ 36

すべての UltraScale+ デバイスは、小容量のメモリ向けのブロック RAM と分散 RAM も搭載しており、VU13P では合計 500MB を超えるオンチップ メモリを提供できます。

『UltraScale アーキテクチャおよび製品概要』(DS890 : [英語版](#)、[日本語版](#)) に、デバイスのリソースの詳細が記載されています。

選択したデバイスで UltraRAM が利用可能な場合、UltraRAM は 144KB 以上のメモリとして使用してください。

外部メモリ コンポーネント の置き換え

ほぼ無限の数の配列でコンフィギュレーション可能な最大 360MB の UltraRAM を使用すれば、多くの使用モデルが成り立ちます。広く使用されている UltraRAM の使用モデルの 1 つは、従来は QDR SRAM などの外部メモリとしてインプリメントされていたメモリを、FPGA または MPSoC に組み込む手法です。メモリをオンチップに配置する利点は、(メモリ ベンダーが供給するメモリはサイズが決まっているのに対して) 必要なだけのサイズのメモリをインプリメントできることと、これがデザイン内でデータがバッファリングまたは格納される場所に論理的に非常に近い位置にあることです。さらに、外部メモリとインターフェイスするには、データがメモリ インターフェイスまたはコントローラーと FPGA/MPSoC の I/O ピンを通過しなければならぬため、外部メモリ コンポーネントによってシステムの消費電力が大きく増加します。UltraRAM の形で大容量のストレージをオンチップに配置することにより、FPGA/MPSoC の I/O と外部メモリの I/O の消費電力を削減できます。

入力のマルチキャスト

各 UltraRAM ポートは、カスケード接続モードでのトランザクションがそのローカル メモリ アレイを宛先に行っているかどうかをローカルで判断できます。この機能を利用して、動的なトランザクション レベルの書き込みユニキャスト/マルチキャスト/ブロードキャストに対応したメモリ構造を実現できます。このような構造は、効率的な出力バッファ付きメモリ スイッチの基盤を形成します。

UltraRAM メモリの 1 つのポートは書き込み専用、もう 1 つのポートは読み出し専用になります。すべての UltraRAM ブロックの書き込みポートは、ブロックごとの固有のワンホット エンコード SELF_ADDR の値と、一致するワンコールド エンコード SELF_MASK の値を使用して、1 つの連続したカスケード接続としてコンフィギュレーションされます。各書き込みトランザクションは、すべてのターゲット ブロックの SELF_ADDR 属性の論理和に一致する、1 つまたはそれ以上の対応するグローバル/上位アドレスビットをセットすることにより、単一、複数、またはすべての UltraRAM ブロックに送信可能です。すべての UltraRAM ブロックの読み出しポートは非カスケード接続であり、実質的に 1 つの書き込みトランザクションを複数に伝搬できます。

それぞれの UltraRAM ブロックが、1つのコンシューマーのバッファリング要件を表します。ストレージ容量を拡張するために、各 UltraRAM ブロックを、コンシューマーあたり N 個の UltraRAM ブロックのカスケード接続で置き換えることができます。C 個のコンシューマーが、(それぞれの深さが N 個の UltraRAM ブロックである) C 個の論理メモリから並列でデータを読み出すと仮定すると、書き込みポートには、C * N 個の UltraRAM ブロックすべてにわたる連続したカスケード接続が必要です。読み出しポートには、(それぞれの深さが N 個の UltraRAM である) C 個の互いに独立したカスケード接続が必要です。

図 4 に、4つの出力/コンシューマーを持つこのようなコンフィギュレーションの一例を示します。各出力/コンシューマーは、1つのバッファリング UltraRAM ブロックと、それぞれ UltraRAM ブロック 0 および 1 とブロック 1 および 3 を宛先にする 2つのサンプル マルチキャスト トランザクションを要求します。

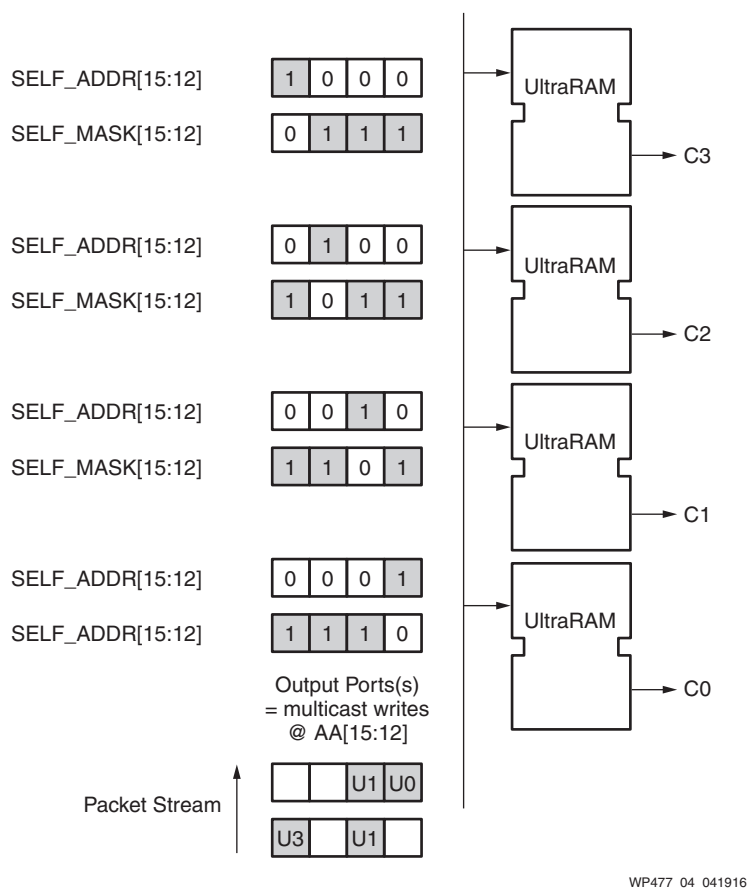


図 4 : 入力のマルチキャスト

まとめ

すべてのデザインには、必ず何らかの形でメモリが必要とされ、使用されます。大容量の柔軟な UltraRAM ブロックが追加された UltraScale+ ポートフォリオは、従来のデバイスや競合デバイスよりも大容量のオンチップ ストレージを提供します。複数のブロックを接続してさまざまなサイズのメモリアレイを構築する機能により、デザインにとって理想的なメモリソリューションをまさに必要とされる場所に作成し、外部 SRAM コンポーネントを不要にして消費電力の削減とボードの簡素化を実現できます。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016年6月14日	v1.0	初版

免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

ザイリンクスの製品は、フェイルセーフとして設計されたり意図されたりはならず、また、フェイルセーフの動作を要求するアプリケーション(具体的には、(I)エアバッグの展開、(II)車のコントロール(フェイルセーフまたは余剰性の機能(余剰性を実行するためのザイリンクスの装置にソフトウェアを使用することは含まれません)および操作者がミスをした際の警告信号がある場合を除きます)、(III)死亡や身体傷害を導く使用、に関するアプリケーション)を使用するために設計されたり意図されたりしていません。顧客は、そのようなアプリケーションにザイリンクスの製品を使用する場合のリスクと責任を単独で負います。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.comまで、または各ページの右下にある[フィードバック送信]ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。