



WP485 (v1.1) 2019 年 7 月 15 日

Virtex UltraScale+ HBM FPGA: メモリ性能の革新的向上

著者 : Mike Wissolik, Darren Zacher, Anthony Torza, Brandon Day

従来の DRAM 技術よりも高い性能を必要とするデータセンター、ワイヤードなどを含む帯域幅重視アプリケーションのシステム設計者や FPGA 設計者にとって、HBM は現在利用可能なメモリ インターフェイスとは異なるレベルの性能、消費電力、フットプリントのメリットを提供します。

概要

過去 10 年間で電子システムの演算帯域幅は目覚ましく増加しています。演算帯域幅の大幅な増加は、それら演算における要件を満たすためにメモリ帯域幅要件の大幅な増加をもたらします。これらのシステム設計者は、DDR4 のような汎用パラレルメモリでは、今日の電子システムアプリケーションの帯域幅要件を満たすことができないことを認識しています。ザイリンクスの HBM (High Bandwidth Memory) FPGA は、これらの課題を解決できる確実なソリューションであり、最も低い消費電力とシステムコスト、小規模なフットプリントで非常に広いメモリ帯域幅を提供します。この FPGA を設計するにあたり、ザイリンクスは大手半導体ベンダーと連携して、業界で高く評価されている唯一のスタックドシリコンインターコネクト実装 (TSMC 社の CoWoS アセンブリプロセス) を採用しました。このホワイトペーパーでは、ザイリンクスの Virtex® UltraScale+™ HBM デバイスが、消費電力、フットプリント、コストを犠牲にすることなく、非常に高いシステムメモリ帯域幅要件に対応できる理由について説明します。

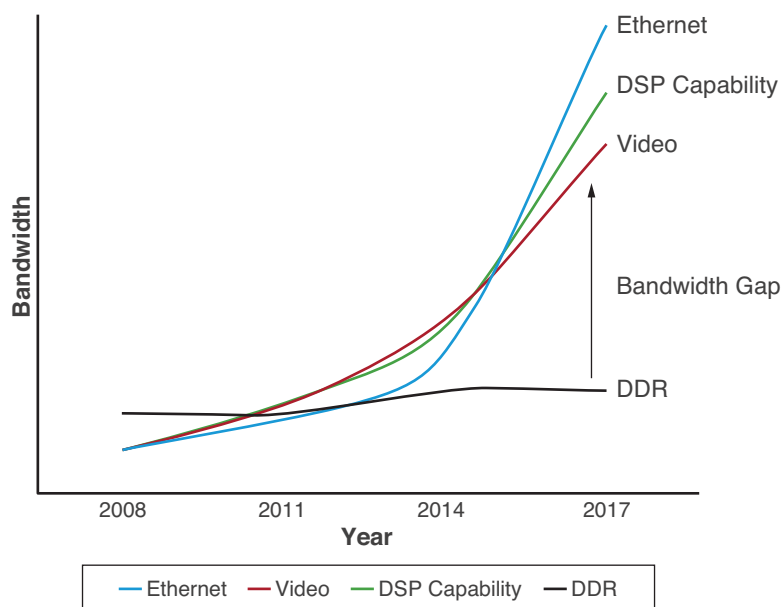
© Copyright 2017-2019 Xilinx, Inc. Xilinx, Xilinx のロゴ、Alveo、Artix、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの保有者に帰属します。

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。

業界トレンド: 帯域幅と消費電力

過去 10 年間、パラレル メモリ インターフェイスの帯域幅性能の向上は非常に緩やかであり、今日の FPGA でサポートされている最大 DDR4 データレートは、2008 年当時の DDR3 性能の 2 倍にもなりません。一方、同じ時期のメモリ帯域幅への要求は DDR4 がサポートできるレベルをはるかに上回っています。イーサネットのトレンドを考察してみると、DDR3 の時代から、イーサネット ポートのスピードは 10Gb/s から 40Gb/s、その後 100Gb/s、現在では 400Gb/s まで向上しています。これは生の帯域幅で 10 倍以上の増加となります。

同様のトレンドが高性能コンピューティング市場やビデオブロードキャスト市場で見られます。FPGA の機械学習向け DSP 機能は、当時の最大規模 Virtex-6 FPGA の 2,000 DSP スライスから、現在の最大規模 Virtex UltraScale+ デバイスの 12,000 DSP スライスまで増加しています。ビデオブロードキャスト業界では、標準解像度は 2K から 4K、そして今や 8K へと移行しています。これらの各分野では、アプリケーションで要求される帯域幅と DDR4 DIMM で提供できる帯域幅との間に大きなギャップが生じています。図 1 を参照してください。



WP485_01_051217

図 1: 相対的なメモリ帯域幅要件

このようなアプリケーションに DDR4 を使用するシステム設計者は、この帯域幅のギャップを補うためには、容量を増やす目的ではなく FPGA とメモリ間に必要な転送帯域幅を提供する目的でシステム内の DDR4 コンポーネント数を増やすことが不可欠になります。2,667Mb/s のデータレートで動作する 4 つの DDR4 DIMM から得られる最大帯域幅は 85.2Gb/s です。アプリケーションで要求される帯域幅がこれを超えると、消費電力、PCB フォームファクター、およびコストの面で問題が発生するため、DDR を使用するアプローチでは実現不可能です。このように帯域幅重視アプリケーションでは、DRAM ストレージに対する新しいアプローチが必要です。

同様に、電力効率の観点から過去 10 年を振り返ってみると、いかなる犠牲もいとわず「ハイパーパフォーマンス」を求める時代は終わりました。MDPI 社の資料によると、2030 年までには、データセンターだけで世界中のエネルギー供給の 3% から潜在的には 13% まで消費(その時点で展開されているデータセンター機器の実際の電力効率による)する可能性があることが予想されています[参照 1]。特にマルチメガワット データセンターの時代にあつては、設計者は高い電力効率を重視します。また、信頼性の高いエアフローや冷却装置の OPEX 要件が高くなるため(総エネルギー消費量の 3 分の 1 に相当)[参照 2]、効率的な熱ソリューションも重視しています。つまり、実際の熱範囲で 1 ドルあたり最高のコンピューティング性能と 1 ワットあたり最高のコンピューティング性能を可能にするベンダーが最も魅力的なソリューションを提供できるということです。

DDR4 DIMM の代替製品

帯域幅のギャップを補うために、半導体業界は汎用 DDR4 に代わる高度な製品をいくつか提供してきました。表 1 を参照してください。最近では、ハイブリッド メモリ キューブ (HMC) などのトランシーバー ベースのシリアル メモリ技術が登場しています。これらの技術は、より高いメモリ帯域幅を提供できます。たとえば、シングルチップで複数 DDR4 DIMM のメモリ帯域幅を実現できます。ただし、このケースでは最大 64 の超高速シリアルトランシーバーをメモリサブシステムに割り当てる必要があります。

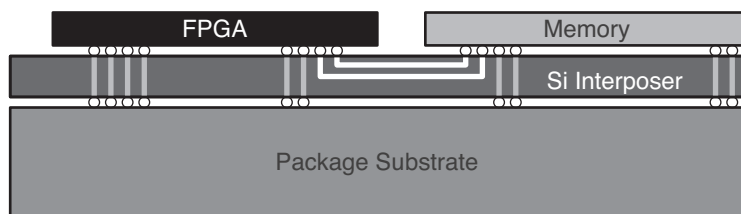
表 1: 異なるメモリソリューションの主要機能の比較

	DDR4 DIMM	RLDRAM-3	HMC	HBM
説明	サーバーや PC で使用される一般的な汎用メモリ	パケットバッファアプリケーション向けの低レイテンシ DRAM	ハイブリッドメモリキューブのシリアル DRAM	FPGA パッケージに統合されている高帯域幅メモリ DRAM
帯域幅	21.3GB/s	12.8GB/s	160GB/s	460GB/s
標準の深さ	16GB	2GB	4GB	16GB
価格/GB	\$	\$\$	\$\$\$	\$\$
PCB 要件	高	高	中	なし
pJ/ビット	約 27	約 40	約 30	約 7
レイテンシ	中	低	高	中

HBM (高帯域幅メモリ) の導入

HBM の導入は、さまざまな課題の中から PCB 要件をなくすことで、メモリ帯域幅における問題を別の角度から解消します。HBM の場合、シリコンスタッキング技術を利用して同じパッケージ内に FPGA と DRAM を隣り合わせで配置します。その結果、マルチテラビット/秒の帯域幅に対応できる FPGA パッケージに統合された DRAM 構造ができます。これにより、その他のメモリ技術と比較して帯域幅が相当増加しています。

HBM 対応デバイスは、事実上の標準である TSMC 社の CoWoS (Chip-on-Wafer-on-Substrate) スタックドシリコンアセンブリプロセスを使用して組み立てられています。これは、過去 3 世代にわたってハイエンドの Virtex デバイスにザイリンクスが採用してきた実績あるアセンブリ技術と同じです。CoWoS は本来 28nm Virtex-7 FPGA で使用するためのスタックドシリコンインターコネクタ (SSI) テクノロジーとしてザイリンクスが開発した技術です。CoWoS アセンブリは、パッシブシリコンインターポージャーの上にアクティブシリコンダイを載せます。シリコンの上にシリコンを重ねるスタッキング技術では、非常に小さくて高密度のマイクロバンプを使用して隣接するシリコンデバイスを接続できます (この場合、DRAM に接続された FPGA との間には数千の信号がある)。図 2 を参照してください。



WP485_02_051217

図 2: TSMC 社の CoWoS アセンブリでは数千の小さなワイヤで隣接するダイを接続可能

CoWoS アセンブリを使用した場合、HBM へ接続された DQ トレース長は 3mm 未満となり、一般的な DDR4 PCB トレースよりも寄生容量やインダクタンスが非常に低くなります。これにより、HBM I/O 構造のシリコン面積は一般的な外部 DDR4 I/O 構造の 20 分の 1 です。HBM インターフェイスは非常にコンパクトで、単一 HBM スタック インターフェイスに 1,024 の DQ ピンを含みますが、使用する I/O シリコン領域は単一 DDR4 DIMM インターフェイスの半分です。寄生効果の低い 1,024 の DQ ピンを備えているため、DDR4 と同じレイテンシでありながら非常に高い HBM スタックへ入出力帯域幅を可能にします。

HBM 対応の FPGA の場合、使用する外部 DDR4 の数は帯域幅要件ではなく容量要件に応じて決定します。その結果、使用する DDR4 コンポーネント数は激減し、PCB スペースと消費電力の両方を削減できます。一般に、外部メモリは不要です。

ザイリンクス HBM ソリューションの概要

図 3 に示すとおり、Virtex UltraScale+ HBM デバイスは、既に量産ステータスのザイリンクス 16nm UltraScale+ FPGA ファミリと同じ構築ブロックで構成されており、ザイリンクス サプライパートナーの検証済み HBM コントローラーとメモリ スタックを統合しています。HBM は、量産実績のある CoWoS アセンブリ プロセスを使用して統合されており、ベースの FPGA コンポーネントは標準の Virtex FPGA アセンブリ フローで HBM の隣りに位置しています。このアプローチは、ベースの FPGA ファミリで使用されているすべてのシリコン、IP、およびソフトウェアは既に量産品質であるため、量産対応におけるリスクを回避できます。

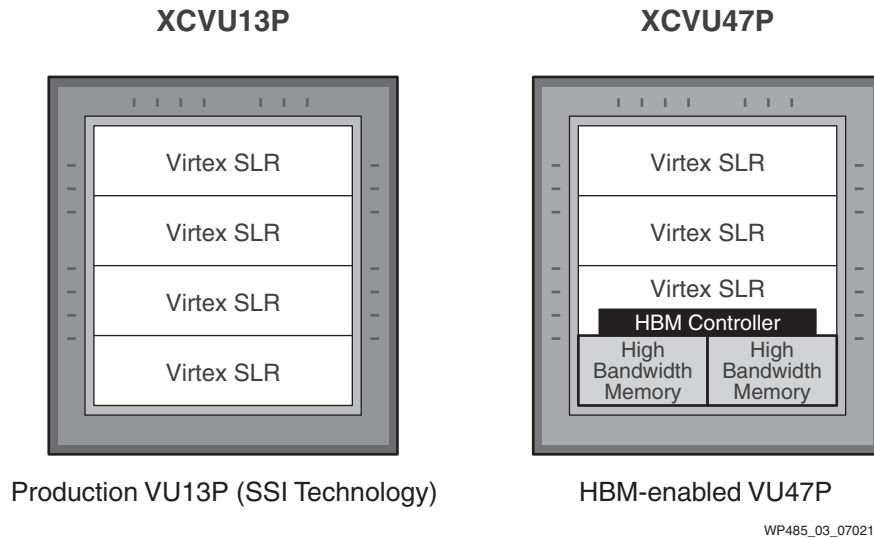


図 3: SSI 技術および HBM 対応 XCVU47P

Virtex UltraScale+ HBM デバイスの新しいブロックは、HBM、コントローラー、CCIX (Cache Coherent Interconnect for Accelerators) ブロックのみです。トランシーバー、PCIe® 用統合ブロック、イーサネット、Vivado® Design Suite などは既に量産実績があり、設計者は独自製品の差別化に向けて HBM の機能を最大限に活用することに専念できます。

タイミング クロージャのための革新技術

Virtex UltraScale+ HBM デバイスは既の実証済みの基盤上に構築されているため、ザイリンクス エンジニアは HBM メモリ コントローラーを設計するにあたって最適化するという革新技術の開発に集中できました。FPGA に HBM を統合する上で最も明らかな課題は、HBM が提供するすべてのメモリ帯域幅を効果的に活用することです。ザイリンクスは、HBM スタックの入力/出力で最大限の帯域幅をユーザーが利用できるように、重要な独自機能をこれらのデバイスにいくつか導入しました。

拡張型 AXI インターフェイス

注目すべき 1 つ目の革新技術とはメモリ コントローラーに接続するための AXI インターフェイスです。通常の統合 IP は、エンベデッド IP ブロックのすぐ隣りにあるプログラマブル ロジックに接続されます。ローカル配線の総帯域幅は、そのブロックからデータを送受信するのに十分な幅であり、ほとんどのブロックではこの方法で問題ありません。しかし、HBM の帯域幅は非常に広いため、プログラマブル インターコネクトへと物理的に拡張する新しいタイプのインターフェイス構造を構築するニーズが高まりました。このような構造では、インターフェイスの表面積が大幅に増加し、ユーザーの AXI インターフェイスで有効な相互接続も増加して、3.7Tb/s の最大動作が可能になります。図 4 を参照してください。

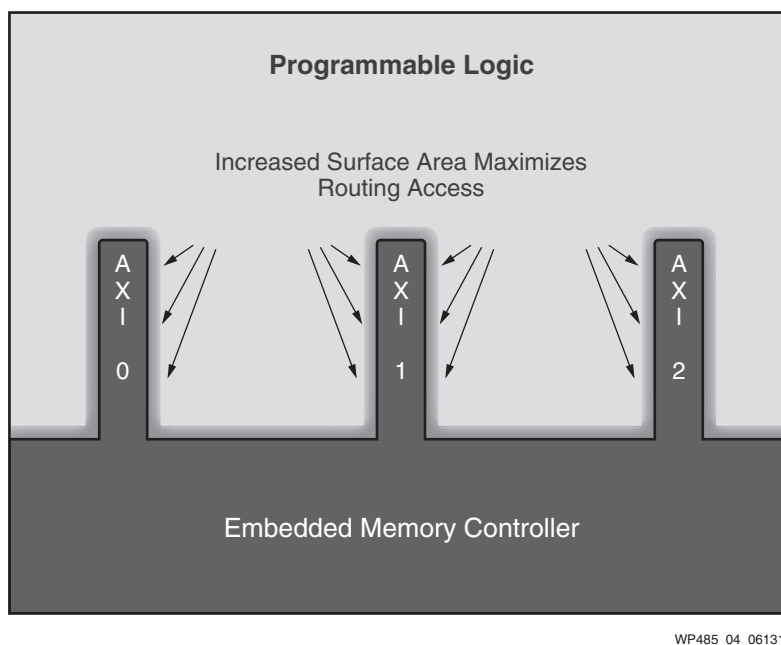


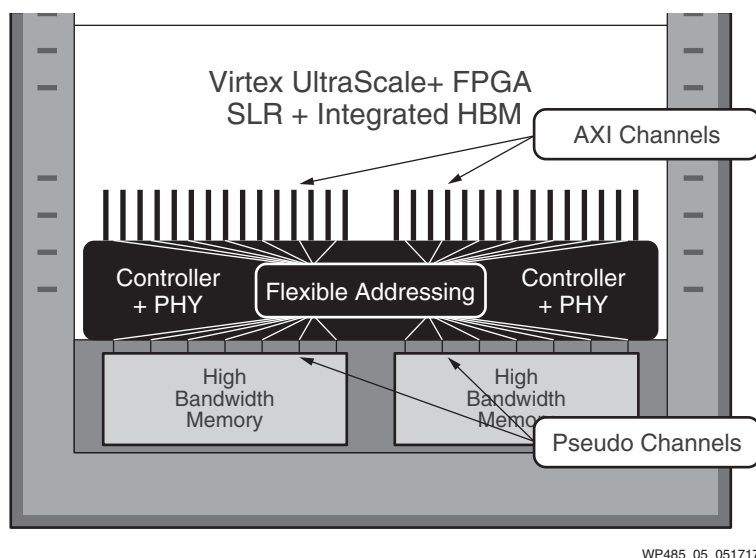
図 4: 拡張型 AXI インターフェイス

柔軟なアドレッシング

2つ目の革新技術は、HBM メモリ コントローラーの柔軟なアドレッシング機能です。HBM スタックのアーキテクチャは、メモリ アドレス空間を疑似チャンネルにセグメント化しています。つまり、HBM DQ ビットセットはメモリ内の特定アドレス領域に割り当てられます。したがって、設計者がメモリ アドレスにデータを書き込む場合は、その特定アドレスに関連付けられた特定の疑似チャンネルを介してのみデータを書き込むことができます。

この制約は、設計者が HBM スタックを 1 つの連続したメモリとして扱いたい場合や、疑似チャンネルの境界で分割したい場合には適しません。ザイリンクスは、この制約を打開するためにメモリ コントローラーに AXI スイッチ ネットワークを内蔵しました。このスイッチ ネットワークが、アドレスに基づいて任意のソース AXI インターフェイスから任意の HBM 疑似チャンネルへのメモリ読み出しおよび書き込みを結び付けます。この機能は、任意のユーザー AXI インターフェイスが任意の HBM メモリ アドレスにアクセスできるようにすることから柔軟なアドレッシングと呼ばれています。

非常に固有のメモリ アクセス パターン用に独自のメモリ コントローラーを最適化する場合、この柔軟なアドレッシング機能をバイパスできます。図 5 を参照してください。

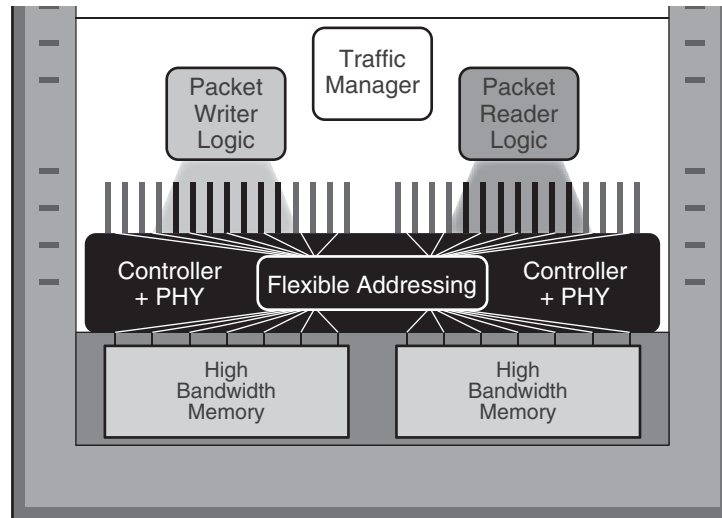


WP485_05_051717

図 5: AXI インターフェイス (ユーザー ロジックへ) および HBM 疑似チャンネル (HBM スタックへ)

柔軟なアドレッシング機能には非常に大きなメリットがいくつかあります。

1. **HBM スタックへのアドレス指定方法をユーザーが完全に制御できる。** スイッチ ネットワークがデバイス全体にわたるため、通常 HBM に固有の厳密な疑似チャンネル要件を遵守する必要がありません。疑似チャンネル境界にかかわらずアドレス分割を完全に制御でき、32 のすべての AXI インターフェイスはいずれの HBM スタックの HBM 疑似チャンネルからでも読み書きできます。
2. **デザインのタイミング クロージャに基づいて最も都合の良い AXI インターフェイスを使用して接続できる。** たとえば、メモリに書き込むロジックは、メモリから読み出すロジックと同じ場所にある必要がなくなりました。基本的なトラフィック マネージャーの例では、パケット ライターブロックの AXI インターフェイスとパケット リーダーブロックの AXI インターフェイスは、それぞれのブロックに近接するように選択できます。図 6 を参照してください。



WP485_06_051917

図 6: 一般的なイーサネットブリッジデザイン

柔軟なアドレッシング機能により、パケットライターロジックとパケットリーダーロジックを物理的に分離できるため配線リソースの競合は生じません。

3. **プログラム可能な配線リソースを大幅に削減できる。**メモリコントローラーには多数の AXI バスがあり、それぞれ 256 ビット幅です。したがって、デバイス全体を水平方向に配線される 32 本のチャンネルが内蔵メモリコントローラーに含まれているため相当数のリソースが解放されこれらをより付加価値の高い機能に使用できます。AXI スイッチネットワークを FPGA ロジックに実装する場合、250,000 の LUT が必要です。柔軟なアドレッシング機能は、LUT をまったく使用せずにスイッチネットワークを完全に実装できます。
4. **擬似チャンネルの場合よりもさらに効率的に AXI インターフェイスを使用できる。**単一 HBM 擬似チャンネルは、アクティベート、プリチャージ、およびリフレッシュ遅延など標準 DRAM の非効率性の影響を受けやすくなっています。効率を向上するためにメモリコントローラーがリオーダーを実行しますが、DRAM の 100% 効率化は不可能です。しかし、単一 AXI インターフェイスは 1 つで複数の疑似チャンネルアクセスをパイプライン化できるため、HBM 擬似チャンネルよりも高い効率を得ることが可能です。つまり、必要となる AXI インターフェイスが少なく済み、プログラマブルリソースがより多く解放されます。

電力効率と熱管理の革新

ザイリンクスカスタマーの間でも電力効率は非常に重されています。TSMC 社の 16nm FinFET+ プロセスにより、デュアル電圧動作が可能になり、最高の絶対性能または単位ワットあたりの最高性能を選択できるようになりました。このプロセス技術を利用して、ザイリンクスは総ダイナミック消費電力を 30% 削減できる業界で最も低いコア電圧だけでなく、イーサネット、Interlaken、PCIe などの統合ブロックを FPGA に組み込んだ業界最先端のトランシーバー技術を提供しています。

HBM 技術で外部メモリインターフェイスの数を削減し、代わりにインターポーザー上のトレースで接続することで、ザイリンクスはより高度な電力効率の良いデザインを可能にしています。これにより、メモリインターフェイスの静電容量が減少し、マルチテラビット/秒のメモリ帯域幅を駆動するのに必要な電力が削減されて 1 ビットあたりの電力効率は 4 倍になります。

熱管理に関して、ザイリンクスは HBM の統合による熱密度の必然的な増加を相殺するために独自技術を提供しています。ザイリンクスは、予想される高熱密度を軽減するために冷却効果を上げるヒートシンク搭載、リッドレス（リッドなし）、ベアダイ、フリップチップなどのパッケージで Virtex UltraScale+ HBM デバイス提供しています。このようなリッドレスパッケージは、ほかの Virtex UltraScale+ FPGA で既に提供しており、ほとんどのユースケースにおいて熱設計のマージンが約 10 ~ 20°C 改善することがわかっています。結果として、コンピューティング性能の向上と熱設計コストの削減をもたらします。詳細は、『UltraScale+ FPGA D2104 リッドレスフリップチップパッケージの機械/熱設計ガイドライン』[参照 3] を参照してください。図 7 を参照してください。

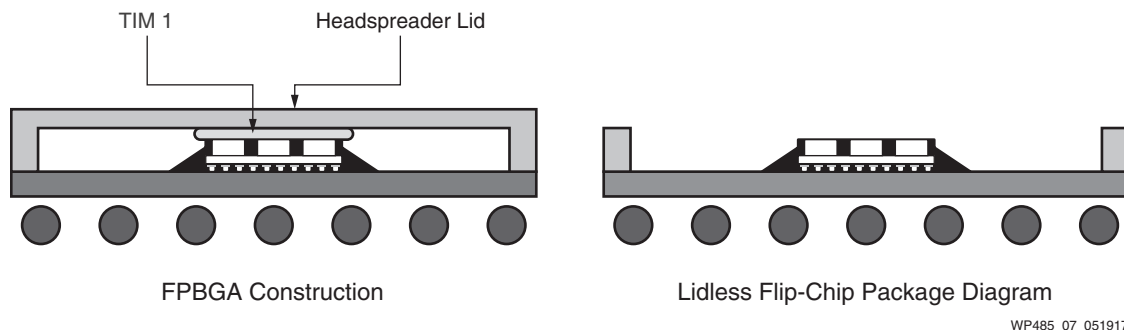


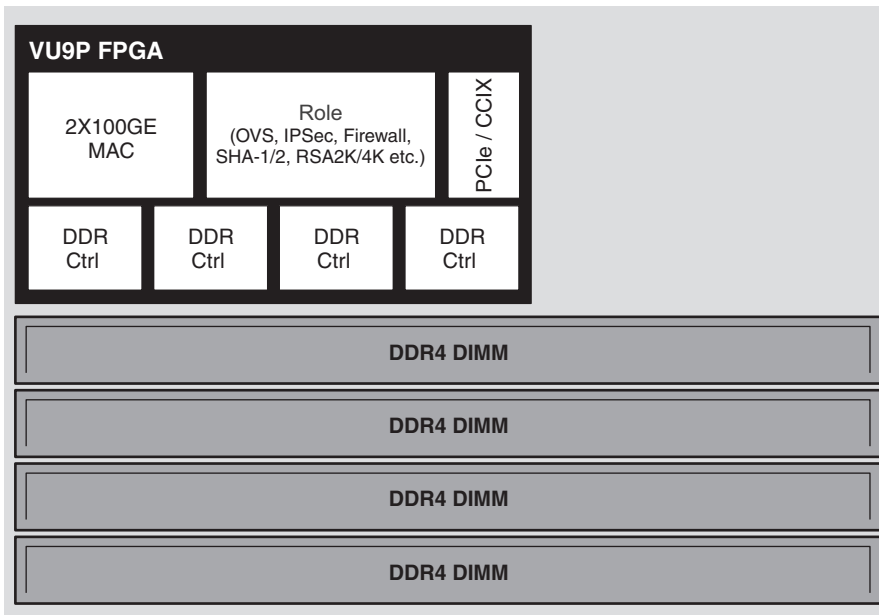
図 7: リッドあり/リッドなしのフリップチップパッケージ

アプリケーション例: スマート ネットワーク インターフェイス カード

高機能なプログラマブル ロジックと HBM の組み合わせは、ネットワーク、データセンター、オーディオ/ビデオブロードキャスト、レーダー、テスト、測定などのアプリケーションに大きなメリットをもたらします。そのようなアプリケーションの一例として、スマート ネットワーク インターフェイス カード (スマート NIC) があります。スマート NIC には、1 つまたは複数のネットワーク ポート、PCIe や CCIX などの CPU へのインターフェイス、高速化のためのネットワーキング機能 (OVS、GZIP、IPSec、SSL など)、およびパケット格納用やキー検索用のメモリが含まれます。従来のスマート NIC の実装では、2 つの 100G ポートに対応するのに十分なメモリ帯域幅を得るためには、PCB 上に最大 4 つの 72 ピン DIMM を搭載する必要がありました。4 つの DIMM へ接続するには 624 の I/O を駆動する必要があり、総消費電力が非常に高くなります。4 つの DIMM を実装するには、FHFL (フルハイト、フルレンジ) のフォームファクターが必要で、電力効率やスペース効率に関する課題が生じます。

HBM 対応 VU45P デバイスに同じソリューションを実装した場合、外部 DRAM コンポーネントが HMB スタックに置き換えられるため、HHHL (ハーフハイト、ハーフレンジ) にサイズを縮小可能です (図 8 参照)。VU45P ソリューション (図 9 参照) は、DIMM インターフェイスの I/O パワードレインが不要になるため、消費電力を約 50% 削減できます。HBM スタックを 2 つ備えた VU45P デバイスを使用する実装では、HBM の帯域幅によって 3 倍のルックアップレート、市販の TCAM よりも 4 倍の検索エントリを提供します。最終ソリューションにもたらすこれらのメリットに加えて、HBM の実装は PCB をシンプルにし、メモリサブシステムの複雑さを低減することで、より簡単でリスクの低い設計フローを実現します。

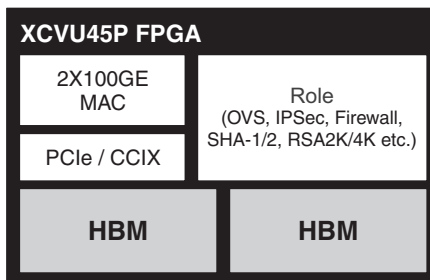
Existing Infrastructure



WP485_08_051717

図 8: 既存のインフラ

Virtex UltraScale+ HBM FPGA



WP485_09_070219

図 9: Virtex UltraScale+ HBM ソリューション

まとめ

多くのシステムが DDR を超える帯域幅を必要としていく中で、HBM はワットあたり最適な性能でメモリ帯域幅を大幅に拡大できる最善のソリューションとなります。ザイリンクスの Virtex UltraScale+ HBM デバイスは、メモリ帯域幅とプログラム可能なコンピューティング性能の最適な組み合わせを提供します。このデバイスを提供するにあたり、ザイリンクスは設計者が実証済みのシリコンプロセスとアーキテクチャ、アセンブリ技術、デザイン ツールを使用してデザインを構築しながら、HBM を最大限に活用できるようにサポートする革新技術に取り組んできました。設計者やシステム設計者は、Virtex UltraScale+ HBM デバイスを使用してシステム内に HBM を含めることに大きなメリットを得ることができます。

参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

- 『On Global Electricity Usage of Communication Technology: Trends to 2030』 Anders S. G. Andrae, Tomas Edler (2015年4月30日)
<http://www.mdpi.com/2078-1547/6/1/117/htm>
- 『Data Center Specific Thermal and Energy Saving Techniques』 Tausif Muzaffar, Xiao Qin (2015年6月18日)
<http://www.slideshare.net/xqin74/data-center-specific-thermal-and-energy-saving-techniques>
- 『UltraScale+ FPGA D2104 リッドレス フリップチップ パッケージの機械/熱設計ガイドライン』 (XAPP1301: 英語版、日本語版)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2019年7月15日	1.1	「業界トレンド: 帯域幅と消費電力」、表1、図3、「電力効率と熱管理の革新」、 「アプリケーション例: スマート ネットワーク インターフェイス カード」、および 図9を更新。
2017年6月14日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.comまで、または各ページの右下にある[フィードバック送信]ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。