



WP488 (v1.0) 2017 年 2 月 13 日

Spartan-7 FPGA による 総消費電力の削減

著者 : Karthikeyan Subramaniyam

Spartan-7 FPGA は、コスト重視のアプリケーションで求められるロジックと I/O の性能を高める一方で、前世代のデバイスと比較して 50% 以上の省電力化を実現します。

概要

コストに最適化された Spartan®-7 FPGA は、実績のある 7 シリーズのアーキテクチャを利用します。28nm HPL プロセスを採用し、Vivado® Design Suite でサポートされる Spartan-7 デバイスは、コスト重視の製品向けに最も低い総消費電力を実現します。この電力効率に優れたデバイスは、クラス最高の性能を損なうことなく電源と熱ソリューションのコストを削減することでシステムのコストをさらに削減します。

Spartan-7 FPGA は、次を実現します。

- 28nm HPL プロセスを利用した超低スタンバイ電力
- Spartan-6 デバイスと比較してダイナミック消費電力を 50% 以上低減
- 精度の高い消費電力見積もりツールによる消費電力最適化ストラテジの改善

このホワイトペーパーでは、テクノロジーとベンチマークの結果をほかのシリコンプラットフォームと比較しながら、消費電力が最適化された Spartan-7 FPGA のアーキテクチャとツールに関連する機能を説明します。

© Copyright 2017 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

はじめに

消費電力の低減は技術的な制約とシステムコストの両方に影響を与えるため、最小の消費電力で最高の性能を実現するという課題は、FPGA の評価において中心的な位置を占めます。製品の受容性、信頼性、および利益性は、電力効率と性能の両方に依存します。ザイリンクスは消費電力削減の重要性を認識し、消費電力管理を 28nm FPGA の最優先事項としました。

Spartan-7 FPGA は、卓越した性能と消費電力における揺るぎない優位性を誇り、前世代の FPGA 以上のワットあたり性能を達成しています。ザイリンクスは次の主要なストラテジを用いて、総消費電力の削減に注力しました。

- 革新的で FPGA に最適化された 28nm 高性能、低消費電力 (HPL) プロセスおよび独自のパワー ビニング ストラテジ。スタティック消費電力の最大 70% の低減を達成。
- 7 シリーズの優れたアーキテクチャ革新を利用し、ダイナミック消費電力を 50%、I/O 消費電力を 30% 削減することで消費電力の優位性を拡大。
- 次世代 Vivado® Design Suite の、信頼性が高く定評がある消費電力見積もりおよび解析ソフトウェア。

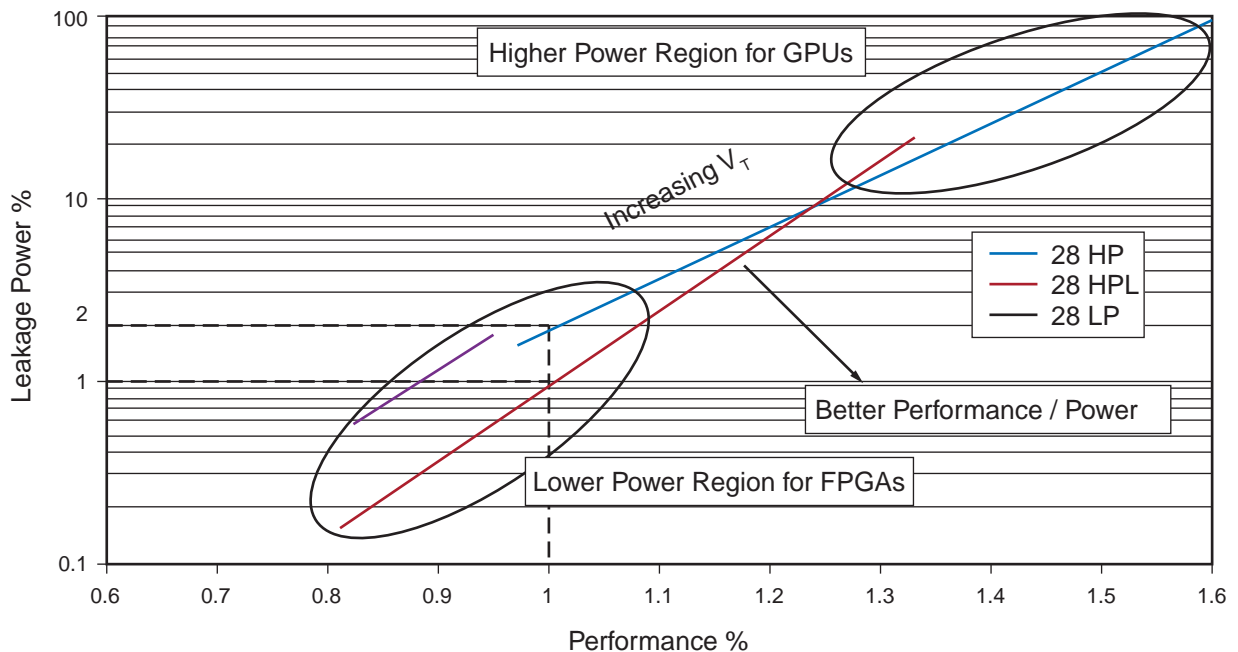
ザイリンクスはこれらのストラテジにより、前世代のデバイスと比較して総消費電力の 50% 以上の低減を実現し、コスト重視アプリケーションのデザインで求められる最も高いワットあたり性能を達成しました。

Spartan-7 FPGA の省電力テクノロジーを使用すると、システム全体の信頼性が向上すると同時に、熱コンポーネントと電源のコストの削減に大きなメリットがもたらされます。トランジスタの消費電力が増えるに伴い、デバイスのジャンクション温度は急激に上昇します。そのため、費用のかかる熱ソリューション (より大きくて高度なヒートシンク、効果的な熱インターフェイス材料、ファンのエアフローの強化、より大きな筐体) が必要になり、追加コストが生じる可能性があります。消費電力が大きくなると、高価な基板ソリューション (電圧レギュレータ、複雑な BOM ソリューション、PCB 領域の拡張など) も必要になり、これにもコストがかかります。

スタティック消費電力の最小化： プロセスおよびビニングストラテジ

消費電力削減を実現するための重要な選択としてザイリンクスは、FPGA 向けに TSMC と共同開発した高度な TSMC 28nm HPL プロセスに Spartan-7 FPGA を実装しました。このプロセスでは High-K メタルゲートテクノロジー (HKMG) が採用されているため、トランジスタのリーク電力が劇的に低減し、40nm および従来の Polysilicon Oxynitride (PolySiON) テクノロジーと比較してイントリンシクス性能を大幅に改善できます。HPL プロセスは、大幅な消費電力削減を可能にする一方で、拡張性があり、高性能の領域によく適しています。TSMC は、同じノードで 28LP プロセスと 28HP プロセスも提供しています。28HP プロセステクノロジーは、スタティック消費電力が重要ではない高性能アプリケーション向けです。このテクノロジーは、ASIC、MPU、および GPU の各クラスの製品と比較してスタティック消費電力が大きく影響する FPGA には適していません。リーク電力を削減するように HP プロセスを調整して FPGA に適したものにした場合、その性能は大幅に低下します。結果として得られるプロセスは HPL プロセスよりも高価で複雑ですが、性能の面で大きなメリットはありません。一方、28LP プロセスは、それほど高性能を必要としないアプリケーション向けのレガシ PolySiON プロセスがベースとなっています。一般的な FPGA の性能要件を満たすように LP プロセスを調整した場合、コア電圧を 1.1V に上げる必要があります。これにより、スタティック消費電力とダイナミック消費電力の両方が大きな影響を受け、総消費電力が HPL プロセスよりも大きくなります。

28HPL プロセスは、リーク電力の低いポイントで、28HP プロセスと 28LP プロセスよりもワットあたり性能のメトリクスが高く、リーク電力がより低い領域へ拡張します。ザイリンクスは、これを低リーク電力領域へ拡張することで、まったく異なるプロセステクノロジーに乗り換えることなく低消費電力な Spartan-7 ファミリの製造が可能にしました。図 1 を参照してください。



WP488_01_012017

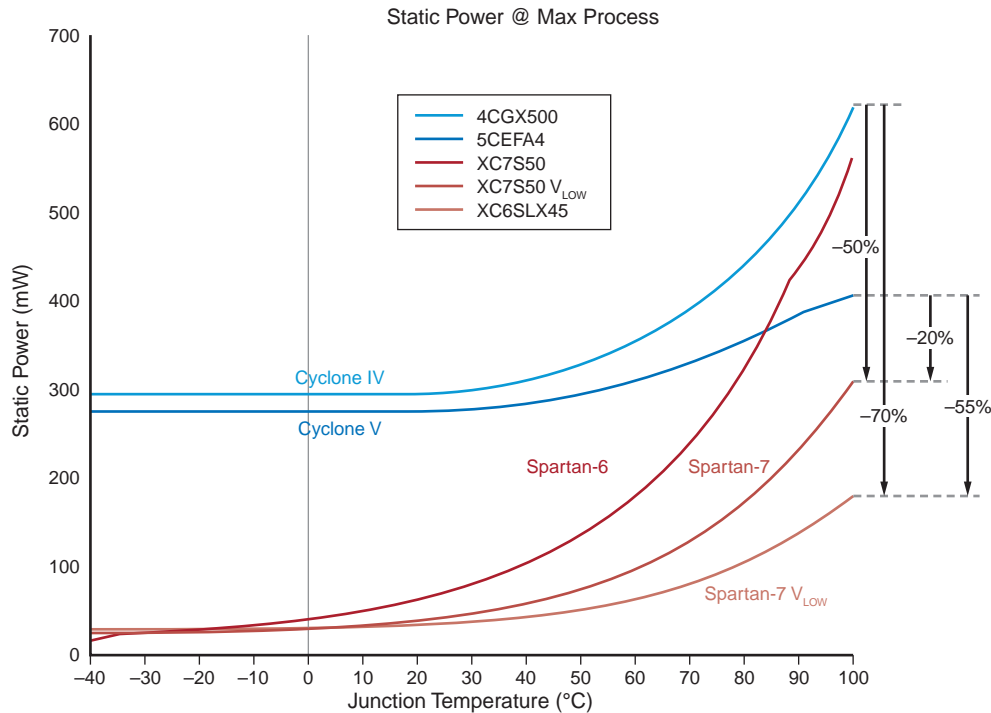
図 1: 28nm HPL プロセスの優位性

HPL プロセスには消費電力の面で多くの本質的な優位性があることに加え、ほかのプロセスで実装されている FPGA にはないパワービニングと電圧スケールリングの技法を可能にする十分なヘッドルームがあります。電圧ヘッドルームは $V_{CC} - V_T$ で計算されます。 V_{CC} はコア電圧、 V_T はしきい値電圧です。これにより、ザイリンクスは Spartan-7 FPGA を次の 2 つの異なる動作モードで提供しています。

- **高性能モード:** コア電圧は 1.0V で、低いスタティック消費電力で 28HP と同等の性能を提供します。
- **低電力モード:** コア電圧は 0.95V で、28HP よりも最大 70% 低いスタティック消費電力を実現します。Spartan-7 FPGA は、ダイナミック消費電力を 10%、スタティック消費電力を最大 40% 節減するほか、0.95V で -1 の最大性能を持つ -1LI スピードグレードを提供します。図 1 参照。

リーク電力はしきい値電圧 (V_T) と密接に関係しています。リーク電力を可能な限り低く抑えるため、ザイリンクスは通常の V_T (リークが最小) トランジスタのみでロジック設計を始め、ブロックの性能目標の達成に必要なだけより小さな V_T (リークが多め) トランジスタへと移行していきました。このようにトランジスタが最適なバランスで混合していることにより、リーク電力が大きいトランジスタ数が大幅に減少しました。平均すると、最適化されたブロックでは、性能への影響なしでスタティック消費電力が 25% から 90% 削減されています。

図 2 に示すデータは、約 50K のロジックセルを持つザイリックスの 28HPL デバイスおよび同等のロジックセル数を持つ Spartan-6 デバイスに実装した場合のスタティック消費電力を比較したものです。Spartan-7 7S50 FPGA は、Spartan-6 SLX45T よりも 15% 多くロジックセルを備えていることに留意してください。それにもかかわらず、最高温度での Spartan-7 FPGA の消費電力は公称電圧で 40% 低く、 V_{Low} (0.95V) で ~70% 低くなっており、前世代のデバイスよりもスタティック消費電力が大幅に改善されています。図 2 は、同じ 50K 相当のロジックセルを持つ他社の 28LP デバイスおよび前世代のデバイスも示しています。Spartan-7 7S50 FPGA には他社の 5CEFA4 よりもロジックセルが 4% 多く含まれていることに留意してください。それでも、Spartan-7 デバイスのスタティック消費電力は公称電圧で 28LP デバイスよりも 20% 低く、 V_{Low} (低いコア電圧) で 55% 低くなっており、消費電力が大幅に削減されています。同様に、他社の前世代のデバイスと比較して、Spartan-7 FPGA は公称電圧で約 50% 低いスタティック消費電力を実現し、 V_{Low} で約 70% 低いスタティック消費電力を実現しています。固定のジャンクション温度 (T_j) におけるスタティック消費電力の差異は、総消費電力の観点からだけでなく、動作温度の観点からも重要です。Spartan-7 デバイスの省電力化は、このデバイスが他社のデバイスよりも大きな電力ヘッドルームまたは動作温度 (熱) ヘッドルームを持つことを意味します。



WP488_02_012517

図 2: スタティック消費電力とジャンクション温度の解析

未使用ブロックのパワーゲーティング

ザイリックスは多くのデバイス世代にわたり、デザインで未使用のクロック マネージャー (PLL/MMCM) および I/O へ電源供給を停止するパワーゲーティング機能を提供しています。Spartan-7 FPGA では、この機能がブロック RAM まで拡張されました。デバイスの総リーク電力のほぼ 30% はブロック RAM から生じているため、これは大幅な進歩です。ザイリックスは、インスタンス化されていないブロック RAM または未使用のブロック RAM をパワーゲーティングすることでブロック RAM のリークを改善し、デバイスの全体的なスタティック消費電力を削減しました。

優れた 7 シリーズのアーキテクチャの利用によるダイナミック消費電力の低減

ダイナミック消費電力とは、FPGA のロジック コーン内および I/O 内の各スイッチング ノードのスイッチング イベント中に消費される電力です。よく知られた次の方程式が示すとおり、ダイナミック消費電力にはスイッチング レートに加えて、電圧、周波数、容量の 3 つの要素が関連します。

$$P = CV^2f\alpha \quad \text{式 1}$$

説明:

- C = 寄生/ノード容量
- V = 電源電圧
- f = スwitching 周波数
- α = スwitching レート

幸いにも、コア電圧と容量はプロセスが小さくなると共に減少します。トランジスタのサイズが小さくなると、容量はほぼ直線的に減少します。トランジスタの寄生容量が減少すると、インターコネクタ長の短縮およびロジック パッキングの高密度化が可能になります。これにより、スイッチング トランジスタの数および配線長が最小化されます。結果としてノード容量が約 15% 削減されることになり、ダイナミック消費電力全体が削減されます。トランジスタ サイズの縮小は、前世代の Spartan-6 デバイスと比較した場合の Spartan-7 デバイスの全体的な消費電力削減の要因の約 50% を占めます。ただし、28nm ノードにおけるロジック性能(クロック レート)の向上および集積度の増大により、プロセスのサイズ削減による消費電力削減分が相殺される可能性があります。ザイリンクスは、電力目標を達成する上で設計者が重点を置くダイナミック消費電力低減の要求にアーキテクチャの革新で対応します。

スケーラブルな 7 シリーズのアーキテクチャは、共通ロジック ブロック (ブロック RAM、DSP、I/O、クロック、インターコネクタ ロジック、メモリ インターフェイス) に加えて、異なるプログラマブル デバイス間およびファミリ間の簡単な移行、共通デザイン、IP の再利用を可能にします。Spartan-7 FPGA は、実績ある次に説明するアーキテクチャおよび製品テクノロジーの改善を利用します。

コア電圧の低減

28HPL プロセスを採用した Spartan-7 FPGA では、 V_{CCINT} を 1.2V から 1.0V へ低減しただけで、コア電圧 (V_{CCINT}) が約 17% 削減されました。-1LI デバイスでは 0.95V の V_{CCINT} が可能で、コア電圧はこれによってさらに 5% 削減されます。式 1 に示すように、ダイナミック消費電力は入力電圧の 2 乗に比例します。消費電力の削減とノード容量の 15% の削減を合わせると、ダイナミック消費電力の 40% 以上の節減になります (表 1 参照)。

表 1: Spartan-7 FPGA の電圧スケーリングおよび容量の低減

	Spartan-6 45nm	Spartan-7 28nm	変化率 (%)	電力比
V_{CCINT}	1.2V	1.0V	-16.6%	0.69
C_{TOTAL}	1.0	0.85	-15%	0.85
消費電力	1.44	0.85	-40%	0.59

補助電源電圧の低減

JTAG および専用のコンフィギュレーション インターフェイスは、IOB ブリッドライバー、バイアスジェネレーター、MMCM/PLL 遅延ライン、およびその他の内部基準電源に加え、V_{CCAUX} 電源レールによって電源供給されます。Spartan-7 FPGA は 7 シリーズのアーキテクチャを持つため、V_{CCAUX} 電圧を 2.5V から 1.8V に低減できます。V_{CCAUX} は消費電力に対して 2 乗に比例した影響を及ぼすため、これによって電源供給される全ブロックの消費電力は約 30% 節減されます。

クロックゲーティング機能

クロックゲーティングは、ダイナミック消費電力を削減する優れた手法を提供します。クロックゲーティングにより、未使用ロジックへのクロックドライバーが動的に停止されます。Spartan-7 FPGA にはクロック階層があるため、設計者は必要なクロックリソースのみを有効にできます。これにより、クロックの負荷電力が大幅に低下します。また、フリップフロップ、ブロック RAM などのローカルリソースにおいて、グローバルクロックゲーティング、リージョナルクロックゲーティング、クロックイネーブル (CE) を使用したクロックゲーティングの 3 つのレベルでクロックをゲート制御できます。1 つのスライスに含まれるフリップフロップは同じクロックイネーブルを共有しますが、以前のアーキテクチャとは異なり、クロックイネーブルはクロックをローカルでゲート制御し、フリップフロップのトグルを停止することで、ロジックコアのスウィッチング消費電力を削減します。図 3 を参照してください。

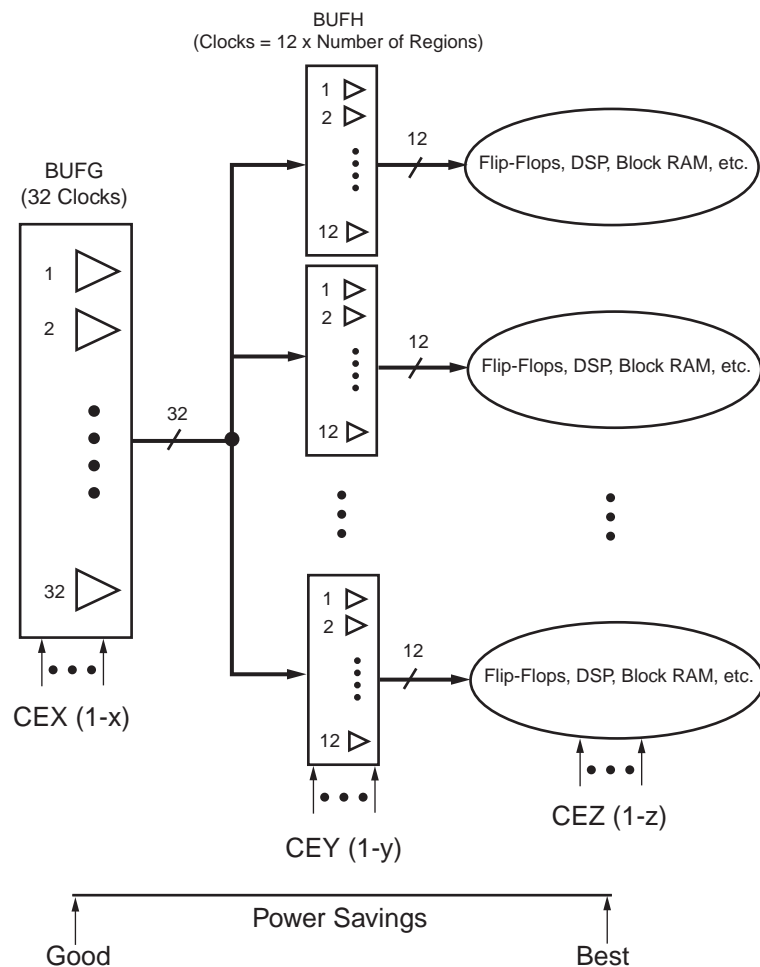
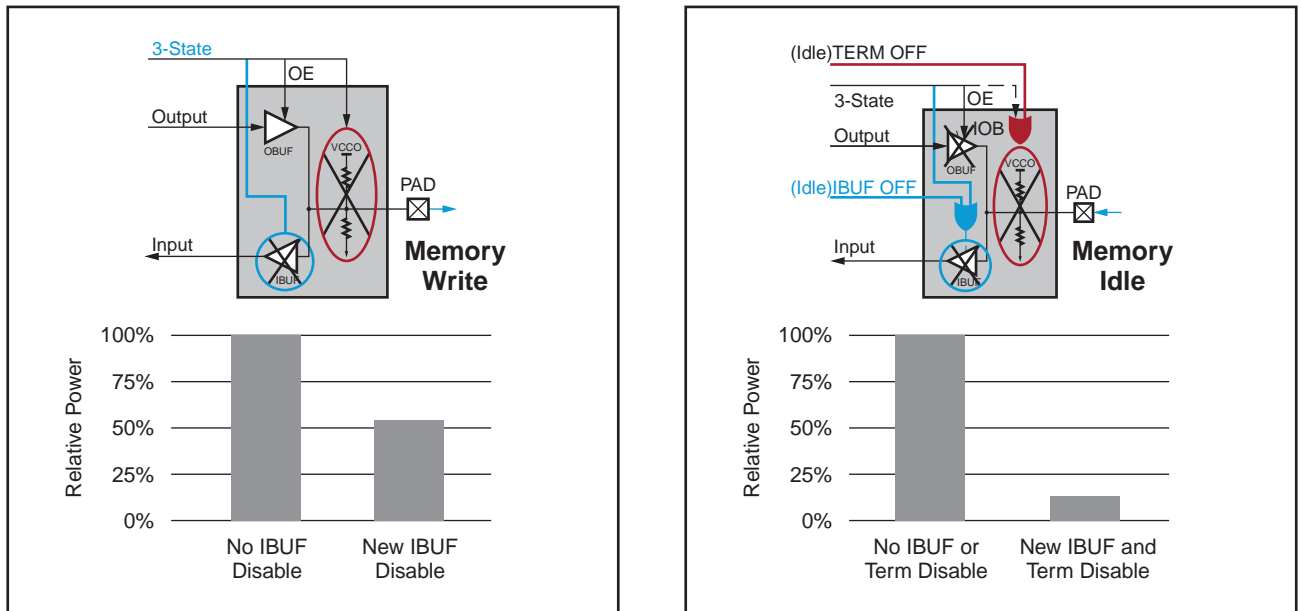


図 3: 7 シリーズのクロッキング アーキテクチャ

I/O の電力削減

Spartan-7 FPGA は、I/O 電力の大幅な削減を可能にするマルチモード I/O 制御アーキテクチャを利用します。特にメモリ インターフェイスの場合、メモリ書き込みにおける消費電力の最大 50%、メモリのアイドル状態における消費電力の 75% が削減されます。このインプリメンテーションでは、I/O ハードウェアは、外部メモリ デバイス (DDR2、DDR3 など) への書き込み中に入力バッファ (IBUF) を自動的に無効にします。入力バッファは参照されるレシーバーであるためトグルレートに関係なく DC 電力を消費しますが、現在はメモリ書き込み中の DC 電力はなくなり、消費電力の削減量は書き込み動作に比例します。I/O 消費電力の削減により、単に終端を無効にするだけの場合と比べて総消費電力がさらに 50% 削減されます。

以前のアーキテクチャでは、バス アクセスはバスのアイドル期間中に解放されましたが、それでもメモリの読み出しと見なされたため、終端と IBUF の両方で電力が消費され続けました。7 シリーズのアーキテクチャでは、このメモリの読み出しが無効化されるため、I/O 消費電力が 75% 削減されます。図 4 に、この消費電力節減の機能とその結果を示します。



WP488_04_012017

図 4: メモリの I/O 消費電力節減

Spartan-7 FPGA のロジック構造の多くは、より効率化され、より多くの機能に適合するようになっています。これは、効率的なパッキングおよび配線の短縮につながり、全体的な配線の消費電力が低減されます。たとえば、2つのフリップフロップを持つ LUT6 はさまざまなロジック インプリメンテーションが可能で、単一のスライスで最大 128x1 シフトレジスタまでカスケード接続できます。したがって、インターコネクトロジックと配線長が短縮され、過剰な配線消費電力が排除されます。

図 5 は、7 シリーズのさまざまなアーキテクチャの革新および HPL プロセスのアドバンテージと電圧スケールによるダイナミック消費電力の削減を示しています。

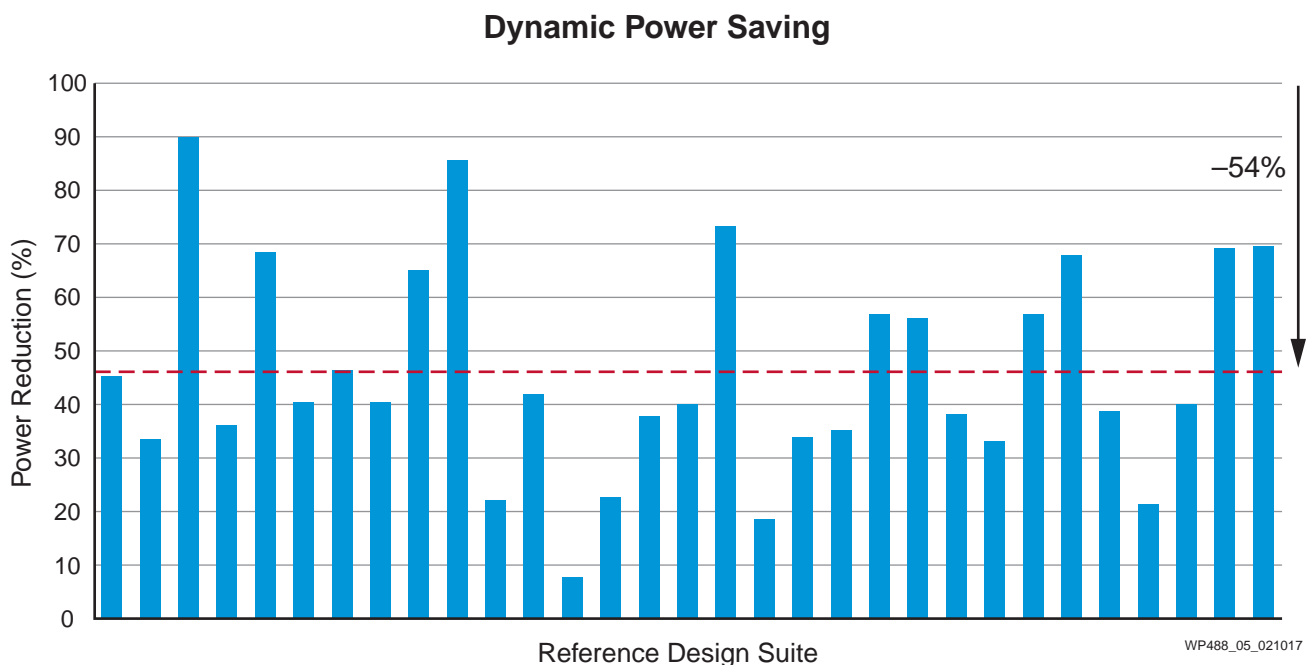


図 5: Spartan-6 FPGA と比較した場合の Spartan-7 FPGA のダイナミック消費電力のアドバンテージ

これは、30 件を超えるインハウス デザインを使用してさまざまなアプリケーションを検証し、前世代の Spartan-6 FPGA と比較して Spartan-7 FPGA のダイナミック消費電力のアドバンテージを解析した結果です。ベンチマークは、固定の性能目標に対して、同等のロジック集積度のデバイスで同じユーザー デザインを用いて実行されました。平均すると、Spartan-7 FPGA で 54% のダイナミック消費電力削減が達成されました。コスト重視アプリケーションの低消費電力に対する要求に対応する上で、これは特にスタティック消費電力の 70% の低減に加えて、非常に重要な意味を持ちます。図 6 からコスト重視アプリケーションのベンチマークでは、Spartan-7 FPGA の消費電力が前世代の Spartan-6 FPGA と比較して平均 53% 少ないことがわかります。

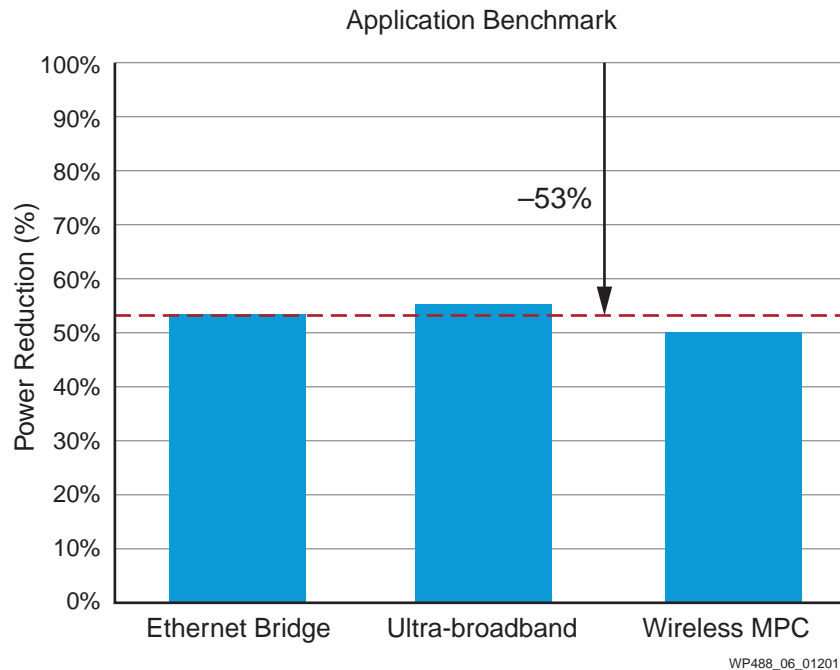


図 6: Spartan-7 FPGA の総消費電力のアドバンテージ

信頼性の高い消費電力見積もりおよび最適化

デザインサイクルの早期に消費電力を正確に見積もることが、あらゆるデザインで可能な限り最小の消費電力を達成する鍵となります。早期段階での見積もりは、適切なデバイスの選択、アーキテクチャの利点の活用、デザイントポロジの変更、および各種 IP ブロックの使用に不可欠です。したがって、設計段階の十分前に適切なトレードオフを検討することで、仕様を満たし、製品をいち早く市場に投入することが可能になります。ザイリンクスは、Spartan-7 FPGA に対して定評ある 28nm 消費電力見積もりツールを利用し、広範な製品シリコン特性評価データを持つ最も正確な消費電力見積もりツールを提供します。ザイリンクスは、インプリメンテーションの前後、2つのタイプの消費電力見積もりツールを提供します。それぞれ、Xilinx Power Estimator (XPE) および次世代の Vivado Report Power です。両ツールとも、設計者が低消費電力の FPGA 設計を行う際に役立つ多くの機能を備えています。

Microsoft Excel をベースにした XPE は消費電力モデリング機能およびアルゴリズムを豊富に備えており、容易なアクセスと便利な使用モデルを提供します。共通の電力モデリング手法を採用しているため、XPE と Vivado Report Power 間では正確かつ整合性のある見積もりが生成されます。プロジェクトの概念段階で、デザインに関する最小限のアーキテクチャ詳細情報を使用して消費電力バジェットを評価することは非常に重要です。XPE の Quick Estimate 機能を利用すると、XPE の各種セクションに移動することなく、環境条件、デザインリソース、スイッチング アクティビティ、および I/O インターフェイス仕様の値を迅速に入力できます。図 7 は、上位の仕様における XC7S25-CSGA234-1LI (0.95V) デバイスの消費電力見積もりを示しています。Quick Estimate ユーティリティにより、入力に対する正確な見積もりを取得するためのすべてのパラメータに値が入力されます。XPE には、サポートされている IP をプルダウン リストから選択して、メモリ インターフェイスコントローラーに関連する値を簡単に入力できる Manage IP ユーティリティも用意されています。1分で済むような簡単な見積もりで、デザインに関する決定が、その有意性を維持しながら迅速にできるようになります。

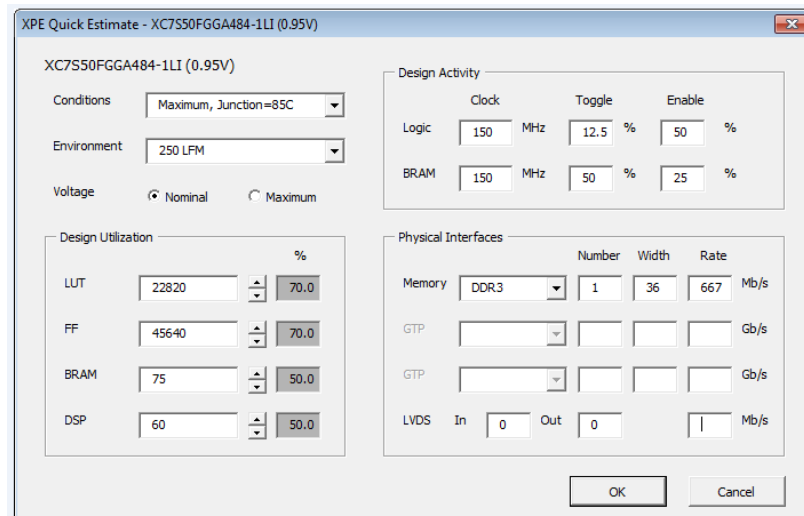


図 7: XPE Quick Estimate ウィザード

デザインが進展して個々のブロックの詳細が決定されると、デザインブロックを表す FPGA ロジック リソースを効率的に構成するように、XPE パラメーターを微調整する場合があります。これは特に、FPGA ファブリックで多くの電力を消費するブロックの 1 つである、ブロック RAM にあてはまります。ブロック RAM はさまざまな構成が可能のため、入力べき各種パラメーターがあります。ブロック RAM の適切な書き込みモードや多数の要件を手動で計算すると、エラーが発生しやすくなります。そのため、XPE メモリ コンフィギュレーション ウィザードは、任意数のオンチップ メモリ ブロックを設定するのを支援し、ブロック RAM か分散 RAM (LUTRAM) ロジック ブロックかを選択するオプションを提供します。最適な構成はすべて、デザインの全体的な消費電力削減に直接寄与します。

図 8 は、XPE メモリ コンフィギュレーション ウィザードを使用した 2Kx16 のメモリ ブロック構成を示しています。低消費電力アルゴリズムを選択すると、ブロック RAM のカスケード接続が選択され、すべての時点で 1 つのブロック RAM のみがアクティブになるためブロック RAM の全体的なダイナミック消費電力が最大 60% 削減されます。ポート イネーブルレートは、指定のメモリ ブロック仕様のブロック RAM の実装数に基づいて自動的に導き出されます。2Kx16 の場合、XPE で PortA と PortB それぞれに 50% のイネーブルレートが得られます。同様に、より広いより浅いメモリ構成に対しては、XPE メモリ コンフィギュレーション ウィザードがブロック RAM の代わりに分散 RAM (LUTRAM) 実装に役立ち、メモリの消費電力を最大 85% 削減します。これは、大きな消費電力削減です。

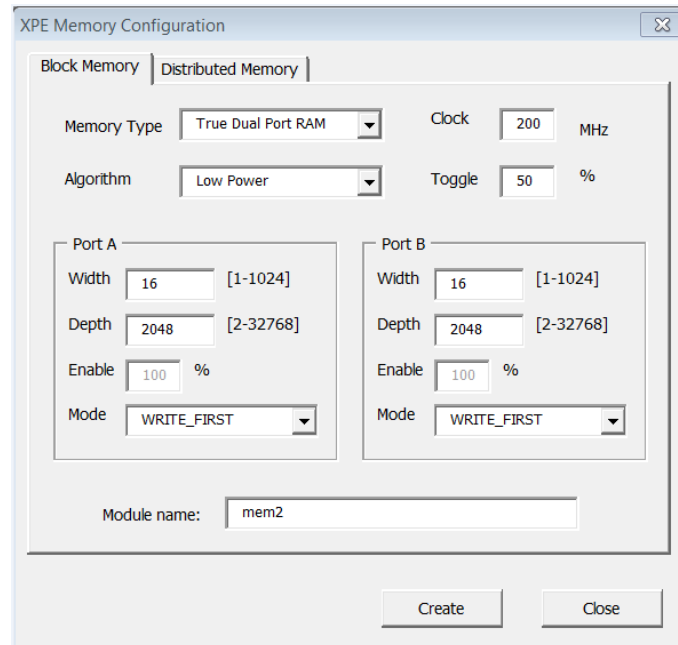


図 8: XPE Memory Configuration ウィザード

XPE には、見積もり機能のほかに、低消費電力デザイン ソリューションを可能にする独自の機能が豊富に用意されています。XPE の主要な機能の 1 つは、スナップショット シートです。これにより、複数のデザイン コンフィギュレーションと消費電力最適化ストラテジにわたる消費電力の変化を同時に解析できます。もう 1 つの注目すべき機能は、ジャンクション温度の関数としてスタティック消費電力とダイナミック消費電力の変動を示すグラフ シートです。これは、所定の熱ソリューションと環境条件について電力バジェットを評価する場合に役立ちます。詳細は、『Xilinx Power Estimator ユーザー ガイド』(UG440: [英語版](#)、[日本語版](#)) を参照してください。

Spartan-7 ファミリーは、次世代の Vivado Design Suite ツールの利点を活用することでデザインの生産性および結果の品質を改善し、優れたシステムを設計者がより迅速に作成できるようにします。Vivado Design Suite は、前世代の ISE® ソフトウェアとは異なり、スケーラブルな共有データ モデルおよび共通のデバッグ環境のバックボーンに基づく高度に統合されたデザイン環境を提供します。Vivado Report Power は、デザインスイートの一部として、デザインフローのすべての段階で消費電力の見積もりと解析を提供し、デバイスの総消費電力、ネットあたりの消費電力、インプリメントされたデザインまたは部分的にインプリメントされたデザインについてのリアルタイムの解析を可能にします。Vivado Report Power は、グラフィカルインターフェイスまたは Tcl コマンドラインによるバッチ モードでアクセスおよび制御できます。Vivado Report Power のグラフィカルインターフェイスは、高度な解析およびデバッグの機能を提供します。この機能は、消費電力レポートから信号ウィンドウ、回路図ビュー、デバイスビュー、プロパティビュー、またはソースビューへのシームレスなクロスプローブを可能にします。GUI レポートで消費電力ノードを選択すると、すべての統合ビューで同じオブジェクトが選択されるため、理想的なデバッグ環境が実現します。[Power] タブでは、信号プロパティビューで Vivado Design Suite のすべての消費電力ノードのスイッチングアクティビティを解析できます。このタブは、デザインの機能をより適切に表すためにスイッチングアクティビティ(スタティック確率とトグルレート)を表示および変更する GUI インターフェイスです。これは特に、デザインでより大きなロジック コーンを駆動する制御ネット(セット、リセット、イネーブルなど)により有用です。図 9 を参照してください。

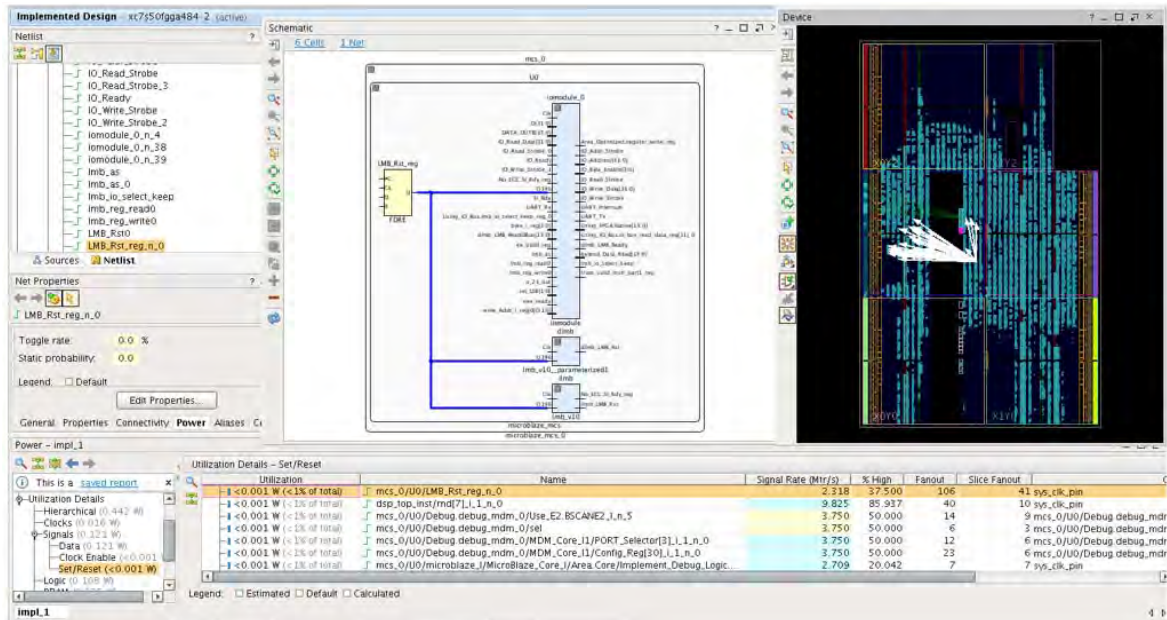


図 9: Vivado Report Power のシームレスなフロー

Vivado Design Suite は、シリコン消費電力の削減機能をより有効利用するために、合成とインプリメンテーションのサイクル全体での高度な消費電力最適化の技法とストラテジに重点を置いています。これにより、ユーザー デザインにおいて消費電力のより大きな削減が実現します。Vivado Design Suite は通常、デフォルト設定を使用して電力効率に優れたデザインを作成します。ただし、性能、領域、ランタイムなど対立する目標のためにトレードオフが必要な場合、ソフトウェアでは適切なトレードオフを行うためにどの目標が最も重要かを識別する必要があります。このため、合成、最適化、配置、配線の各アルゴリズムが消費電力の向上につながるアルゴリズムを選択できるよう、ツールにはさまざまな合成とインプリメンテーションのストラテジおよび消費電力オプションが存在します。たとえば、図 10 では、[Power_ExploreArea] ストラテジが選択され、デフォルトの [Opt Design] に加えて [Power Opt Design] が自動的に有効になっています。デフォルトの [Opt Design] により、次のように設定する、ブロック RAM 消費電力最適化が有効になります。

- 書き込みが存在せず、読み出し出力がデザインによって使用されていない場合にブロック RAM を無効にする
- 読み出しデータが使用されていない場合に書き込みモードの設定を [No Change] に変更する
- アドレスが変わらない場合にブロック RAM と読み出しデータ出力を無効にする

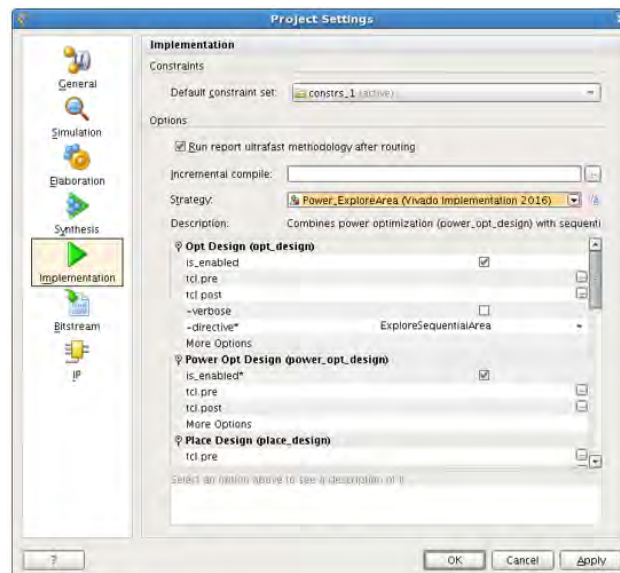
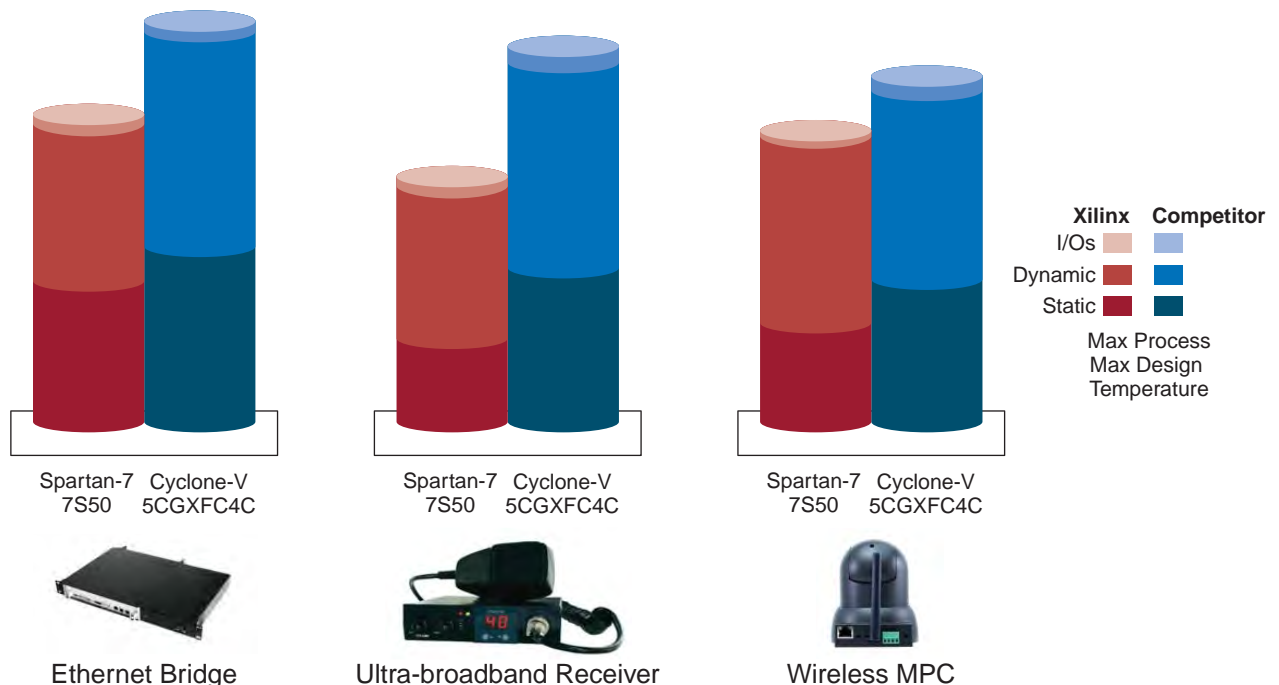


図 10: Vivado 消費電力ストラテジ

Power Opt Design 機能により、ロジックが一定期間使用されない場合の消費電力をさらに削減するための、きめの細かい追加のクロックゲーティングが有効になります。Power_ExploreArea ストラテジでは、インプリメンテーション段階で全体で最大 30% の電力削減を達成可能です。ほとんどの場合、領域を削減するとロジックリソースとインターコネク信号が少なくなり、ロジック消費電力が自動的に削減されるため、領域と消費電力は直接お互いを補完する関係にあります。合成とインプリメンテーションの両方で ExploreArea ストラテジを使用して最適な回路を設計でき、システム全体の消費電力が削減されます。

さまざまなアプリケーションで最も低い総消費電力

ザイリンクスは、革新的なプロセスとアーキテクチャを使用して Spartan-7 デバイスで大きな進歩を実現し、他社の FPGA と比較してスタティック消費電力とダイナミック消費電力を大幅に削減しました。Spartan-7 FPGA が公称電圧で消費する電力は、同等のデバイスと比べるとスタティック消費電力が 20% 以上、ダイナミック消費電力と I/O 消費電力が平均 20% から 25% 低くなっています。スタティック消費電力の削減は、プロセスの向上 (HKMG トランジスタテクノロジー、トリプル酸化膜、消費電力と性能のバランスの取れたトランジスタの慎重な選択) および容量の削減 (微細化と低誘電率の実現) のみで達成されます。ダイナミック消費電力のさらなる削減は、インテリジェントクロックゲーティング、LUT6、ハードブロック、システムレベルの消費電力管理の機能などのアーキテクチャの向上で達成されます。次の総合的なベンチマーク結果 (図 11) は、主要なコスト重視アプリケーションにおいてほかの 28nm デバイスと総消費電力を比較した場合の Spartan-7 FPGA の優位性を示しています。



WP488_11_012517

図 11: アプリケーションのベンチマーク結果

ベンチマークは、コスト重視アプリケーション (イーサネットブリッジ、超広帯域レシーバー、ワイヤレス MPC など) に最も適した、約 50K ロジックセルのデバイスで実行されました。比較を公平で現実的なものとするため、両方の消費電力見積もりでプロセスを最大に設定し、デザインの最大ジャンクション温度はイーサネットブリッジおよびワイヤレス MPC で最大温度 100°C で、超広帯域レシーバーで 85°C に設定しました。ジャンクション温度が少し低い状態で実行すると、Spartan-7 デバイスはスタティック消費電力が最も低くなります。たとえば、超広帯域レシーバーのデザインを 85°C のジャンクション温度で実行すると、Spartan-7 FPGA のスタティック消費電力がほかの FPGA と比較しておよそ ~45% 低くなります。このように、Spartan-7 FPGA は、消費電力低減と効果的なフリップチップパッケージにより、相対的にはるかに高い電力ヘッドルームと熱ヘッドルームを提供します。このベンチマーク結果は、他社の 28nm デバイスと比較して平均で 25% の総消費電力の優位性があることを示しているといえます。

低消費電力の Spartan-7 FPGA を採用することでデザインにどのような利点もたらされるかを測定するには、ザイリンクスのフィールドチームに連絡し、アーリーアクセスの Xilinx Power Estimator を使用して自身のベンチマークで早期段階の消費電力解析が可能です。

まとめ

今日のコスト重視アプリケーションでは、性能に対する要件やコスト上の制約の高まりに加え、総消費電力の最小化がますます重要になっています。総消費電力は、電源のデザイン、熱コンポーネントの考察、およびデバイスの温度に影響を及ぼすため、システムの総コスト並びにその信頼性に直接影響を与えます。Spartan-7 FPGA には、総消費電力が最も低いという優位性があります。これにより設計者は、消費電力を最小限に抑え、少ないシステムコストで所定の消費電力バジェットを満たすことができます。結果として、製品で証明された次のテスト結果が示すように、信頼性の高い製品が得られます。

- 28nm HPL プロセスでスタティック消費電力を最大 70% 低減
- 実績のある 7 シリーズのアーキテクチャにより、ダイナミック消費電力を 50% 以上、I/O 消費電力を 30% 以上低減
- 効率的で信頼性の高い消費電力見積もり、消費電力解析、最適化を実行する Vivado Design Suite

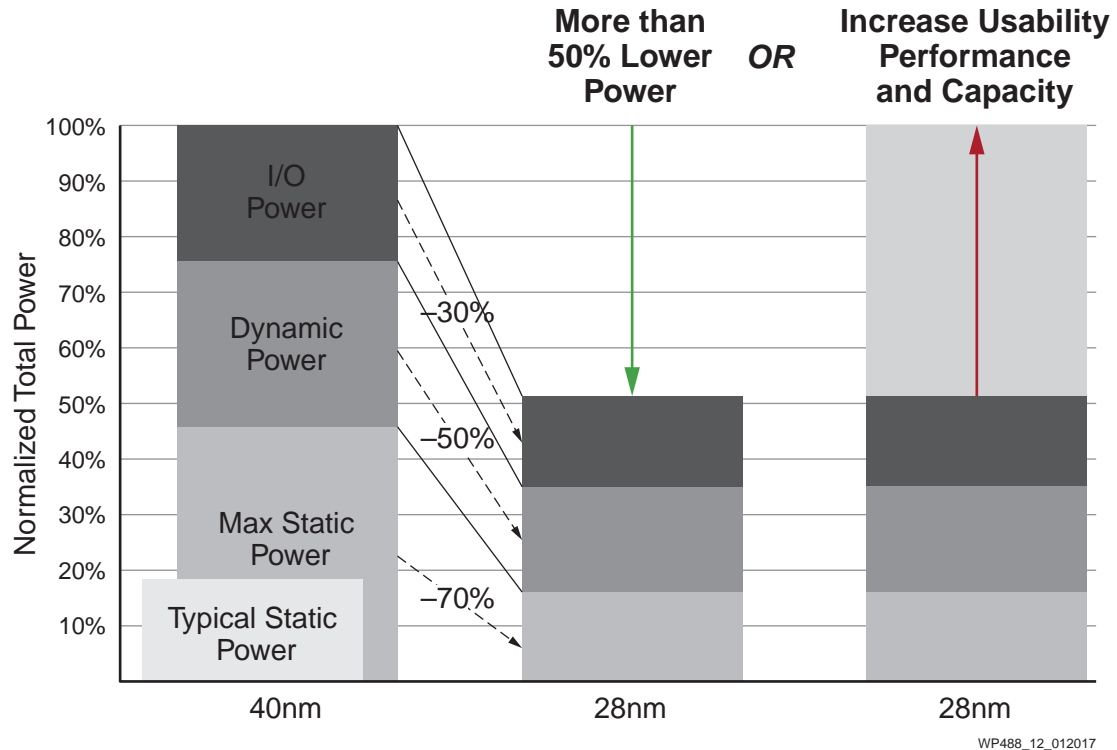


図 12: Spartan-7 FPGA の消費電力の優位性

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2017年2月13日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので <http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。 <http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある[フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。