



WP489 (v1.0) 2017 年 2 月 17 日

# ザイリンクス All Programmable RF サンプリング ソリューション

著者 : Anthony Collins

ダイレクト RF サンプリング データ コンバーターとザイリンクスの All Programmable テクノロジを統合することで、最小フットプリントで柔軟性が高く、かつ低消費電力の無線アプリケーション向けソリューションが実現します。

## 概要

ダイレクト RF サンプリング テクノロジは、最新世代のワイヤレス アクセス、DOCSIS、およびその他さまざまな無線アプリケーションに必要とされる柔軟性と性能を向上させる有望なテクノロジーです。ダイレクト RF サンプリングは、RF 信号処理の大半をデジタルドメインに移行し、ほとんどのアナログ信号処理を不要にすることで、その柔軟性を実現します

[参照 1][参照 2]。

一方で、システムの消費電力とフットプリントの削減に対しても市場から大きな圧力があります。その解決策は、先進的な CMOS テクノロジを使用して、RF サンプリング データ コンバーターを VLSI デバイスに統合することです。

ザイリンクスの All Programmable テクノロジは、幅広い無線アプリケーション向けの、高い柔軟性を持つデジタル信号処理ソリューションを長年提供してきました [参照 3][参照 4]。ダイレクト RF サンプリング データ コンバーターを統合することで、無線開発向けの柔軟性に優れたプラットフォームを実現し、現在のダイレクト RF サンプリング ソリューションに関連する課題の多くにも対応できます。

© Copyright 2017 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの保有者に帰属します。

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

# 次世代無線システムの課題

将来のワイヤレス アクセス [参照 5]、DOCSIS、および計装機器が抱える課題に応えるには、既存の無線アーキテクチャを大きく変更する必要があります。新しいアーキテクチャでは、最新の技術革新を利用して既存スペクトラムの使用効率を引き上げながら、キャリア アグリゲーション (CA) [参照 6]、Massive MIMO [参照 7]、デジタルビーム フォーミング (DBF) などの技法を使用してアダプティブ アレイ [参照 8] を実装することでネットワーク容量の向上を図ります。

これらの新しい RF フロント エンド (RFFE) とデジタルフロント エンド (DFE) 間のデータ移動に関連するコストは、新しいテクノロジーの商用化に向けて解決すべき大きな課題の 1 つです。もう 1 つの主要な要件は、市場に投入するまでの時間を短縮し、幅広い次世代の新興無線テクノロジーの要求に応えるプラットフォームを提供するために、RFFE の柔軟性とプログラミング性を向上させることです。

## 帯域幅の増大の問題

シャノン=ハートレーの定理では、ワイヤレス チャネルで送信できる情報量を式 1 のように定義しています。

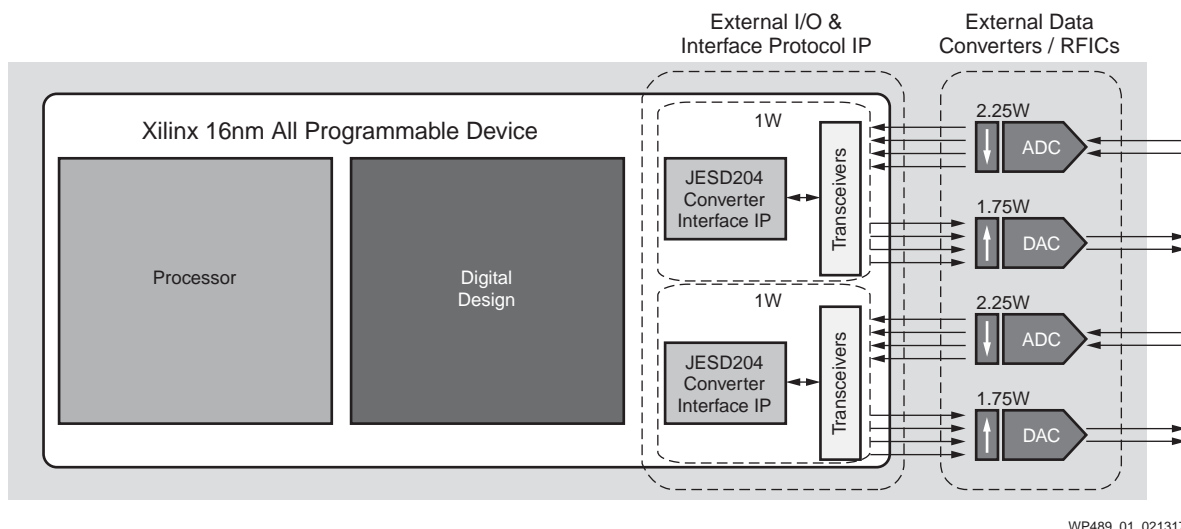
$$C = BW \times \log_2 (1 + SNR) \quad \text{式 1}$$

簡単に説明すると、 $C = B \times \log_2 (1 + SNR)$  において、 $C$  は容量、 $B$  は信号帯域幅、 $SNR$  はチャネルの信号対ノイズ比 (SN 比) です。情報容量 ( $C$ ) は、チャネルの帯域幅 ( $BW$ ) に正比例します。モバイルワイヤレス ネットワークで送信されるデータ量は毎年約 50% 増加し [参照 9]、2020 年までには 30 エクサバイトに達すると予想されており、帯域幅の需要もそのペースで増加しています。

DOCSIS 3.1 などの類似の無線テクノロジーを使用するほかのネットワークでも、帯域幅に関してこれと同じプレッシャーがあります。リモート PHY (R-PHY) [参照 10] などの新しいケーブル アーキテクチャと、完全なデジタル光学ネットワークへの移行によって 1Gb/s を超える完全対称型住宅向けデータ レートが実現します。

上記すべての使用ケースで、基本となる無線テクノロジーは非常に幅広い帯域幅をサポートできなければなりません。サブ 6GHz 帯のモバイル通信の場合、RFFE はキャリア アグリゲーション用に最大 400MHz またはそれ以上の信号帯域幅をサポートしなければならず、3GHz を超えた利用を可能にするさらに広い帯域幅の連続割り当てにも対応する必要があります。デジタルプリディストーション (DPD) に使用される転送および監視フィードバックパスでは、RF パワー アンプ (RFPA) を線形化するために 1GHz を超える帯域幅をサポートする必要があります。前述のとおり、新興の完全対称型 DOCSIS 規格をサポートするには類似の帯域幅要件が必要です。DFE との間で大量のサンプリング データを送受信して処理するデータ コンバーターの場合、I/O インターフェイス上でマルチギガビット サンプル レートがサポートされる必要があります。

図 1 は、ディスクリット RF サンプリング データ コンバーターを使用して広帯域 (1GHz) 2x2 RFFE から DFE に単純にデータを移動させて処理する場合、消費電力コストが高くなることを示しています。データ コンバーターに統合されているデジタルダウンコンバーター (DDC) またはデジタルアップコンバーター (DUC) を用いても、大量のデータを DFE との間で送受信する必要があります。各クアドにあるトランシーバーの I/O 消費電力 (4 レーンで 1W) には、最新の All Programmable 16nm デバイスに JESD204 プロトコルの実装した場合に関連した消費電力が含まれています。



WP489\_01\_021317

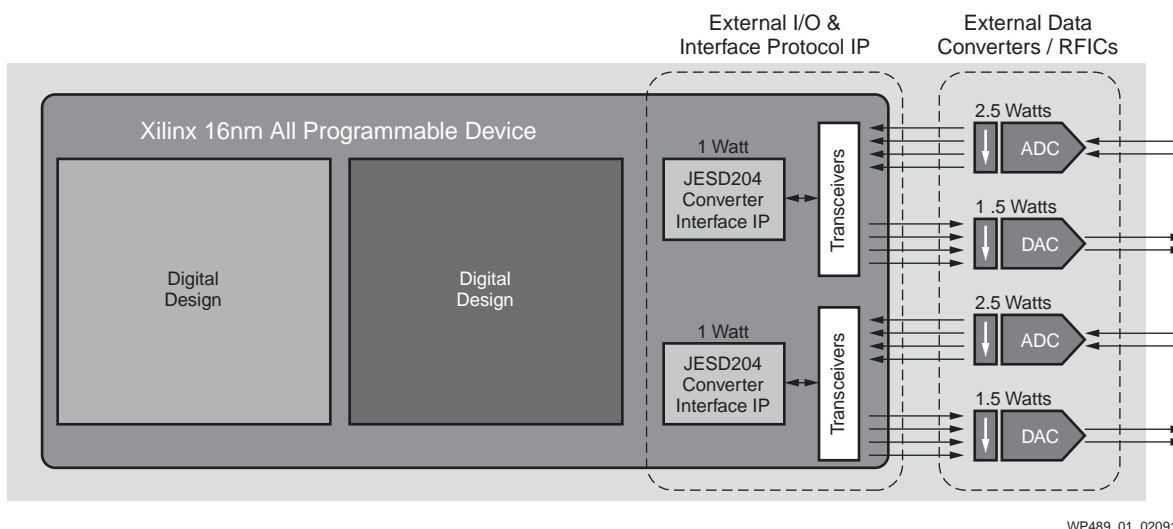
図 1: JESD204 を使用した外部広帯域データコンバーターへのインターフェイス

インターフェイスの消費電力だけでなく、高サンプルレートコンバーターも含めてシステム全体の消費電力を抑える必要があります。外部ギガサンプルデータコンバーターソリューションの消費電力は変わらず高いままです。DFE 信号処理は最新のディープサブミクロン CMOS テクノロジーを採用して消費電力を削減してきましたが、RF などのアナログコンポーネントは伝統的にそれより古い処理テクノロジーを使用してきました。旧式の CMOS および BiCMOS テクノロジーは、このような主としてアナログ (Big A) のディスクリートコンポーネントに、適正なコストで必要な性能を提供しました。ただし、「ムーアデジタルの応用が鍵」で説明しているとおり、よりデジタルな SoC (Big D) への移行は、最先端の CMOS テクノロジーでデータコンバーターを作成することが今日では商用的に可能であることを意味し、これにより消費電力とコストの大幅な節約が可能で

## アンテナ数の増加

シャノン=ハートレーの定理では、チャンネルの帯域幅がワイヤレスチャンネルの容量を最も大きく左右するとされています。ほかの制限要因として、チャンネルの信号対ノイズ比 (SNR) があります。SNR を劇的に改善してチャンネルの容量増加を可能にする有望な技法は、アクティブフェーズドアレイの使用です。この技法はアレイゲインと呼ばれることもあり、多数のアンテナを使用して信号を効果的にブーストし、干渉やノイズを最小限に抑えます。アンテナ数を増やす手法は、MIMO 技術を用いるチャンネルの容量増加にも使用できます。これによりスペクトラムをさらに割り当てる必要なしに、効果的に帯域幅を増やすことができます [参照 11]。

図 2 は、8 つのアンテナシステムでディスクリートコンバーターを使用してダイレクト RF サンプリングを実装する際の課題を示しています。RF サンプリングへの移行により、ヘテロダイン式無線 [参照 12] に通常見られるアナログコンポーネントは取り除かれてフットプリントは削減されています。ただし、ここに示されている 8T8R の実装では、多くのアプリケーションにとってインターフェイスだけでも (消費電力と PCB 配線の点で) コスト増大の要因となります。



WP489\_01\_020917

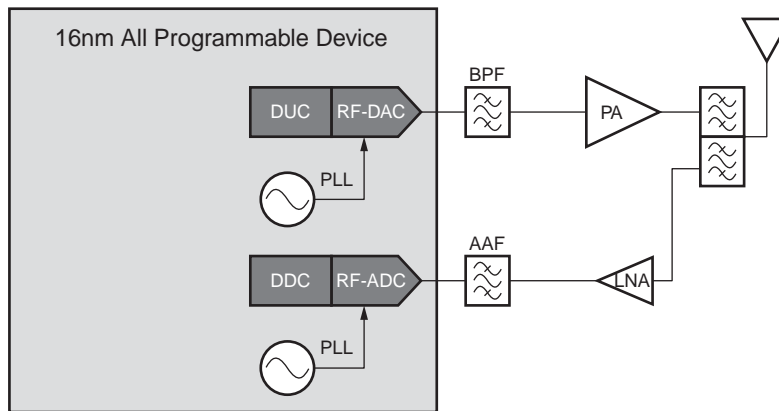
図 2: 8x8 RFFE から DFE へのインターフェイス

図 2 に示す実装では、1 つの 15mm x 15mm パッケージ内に統合された 4 チャンネルの RF サンプリング ADC または DAC を想定しています。この場合、ディスクリート データ コンバーターのフットプリントは削減できますが、インターフェイスの複雑さや消費電力はほとんど削減されません。実際、1 つのパッケージに統合するコンバーターの数を増やすと、多数のシリアル トランシーバー レーンを PCB 上の限られた領域に配線することになるため、PCB にさらにレイヤーが追加される可能性があります。この例では、DFE と RFFE 間でデータを移動させるためだけに、最大で 4W の電力が消費されます。また、図 1 の場合と同様、1 つのクワッド トランシーバーと JESD204 IP の合計消費電力は約 1W です。

## 増え続ける柔軟性の必要性

将来の無線アーキテクチャでは、同じ基本ハードウェアで幅広い要求に対応可能なプラットフォーム テクノロジーが求められます。同じハードウェアを利用して多様な要件や新たな規格に対応することで、ベンダーは新たな市場機会にすばやく反応できます。たとえば 5G システムの場合、1 種類の無線タイプでは次世代の無線アクセス ネットワーク (RAN) の多様なニーズに対応できないことがわかってきました。つまり、無線タイプの種類が大幅に増えることが予想されます [参照 13]。

ザイリンクスの All Programmable SoC および FPGA は、最新世代の無線の DFE およびインターフェイス要件を実装する非常に柔軟なソリューションを提供してきました。ソフトウェア (定義) 無線 (SDR) を実現するにあたり、次世代の無線アンテナにも同じレベルの柔軟性とプログラミング性が備わっていなければなりません。高度に最適化された RF デジタル信号処理エンジン (DDC や DUC など) と組み合わせられたダイレクト RF サンプリングは、従来のアナログ周波数変換やフィルタリングに比べてはるかに高い柔軟性を備えています。先進的な CMOS テクノロジーを利用することで、優れた消費電力およびコスト効率を発揮する RF 信号処理をデジタルドメインに実装できます。結果として RF サンプリング ソリューションは、最大で 2 GHz という非常に広い帯域幅を処理できる柔軟な RF フロント エンドを、アナログ テクノロジーで必要とされるよりはるかに少ない消費電力で実現します。データ コンバーターのサンプルレートを大幅に引き上げることで、アプリケーション固有のアナログ フィルタリングおよび信号調整のほとんどをアンテナに近づけることができ、結果として完全なソフトウェア無線という Mitola のビジョン [参照 14] に近づくこととなります (図 3 参照)。



WP489\_03\_021317

図 3: ダイレクト RF サンプリングを使用するソフトウェア無線

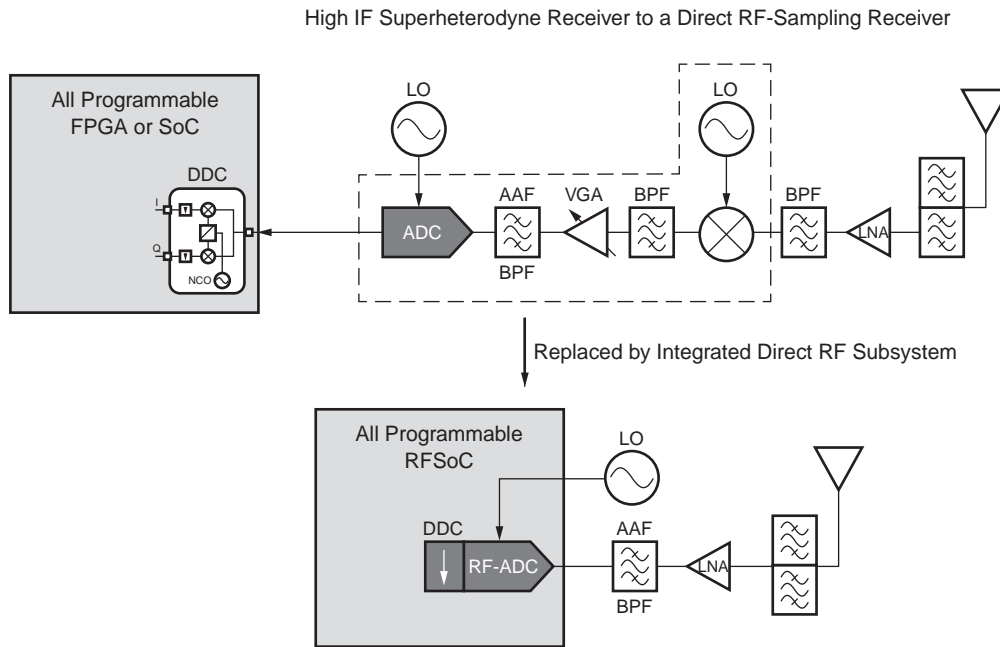
## ムーア デジタルの応用が鍵

ダイレクト RF サンプリング データ変換により、ムーアの法則がアナログに適用できるようになります。このためアナログ RF 信号処理を先進的な CMOS テクノロジーの利点を活かすデジタルドメインに移行でき、同じ機能をより小さな領域に低い消費電力で実現できます [参照 1]。先進的な FinFET プロセステクノロジーにより、複雑なアナログ コンポーネントに比べて回路の電力効率が大幅に向上し、デジタルで実現した新しいアナログ技法が使用できるようになります [参照 15]。

これらのテクノロジーで実現された統合は、消費電力削減とチャネル数増という主要な課題に対応できます。さらに、大半の信号処理をデジタルドメインに移行することで、柔軟性とプログラミング性により優れたソリューションが実現します。ザイリンクスの All Programmable FPGA および SoC は、数世代にわたり類を見ない柔軟な無線開発プラットフォームを提供してきました [参照 3]。つまり、ザイリンクス デバイスはダイレクト RF サンプリング データ コンバーターの統合に最適なプラットフォームといえます。

## RF サンプリング ADC および DAC の利点

ダイレクト RF サンプリングには RFFE の複雑さが低減されるという利点もあります (図 4 参照)。RF-ADC および RF-DAC が高いサンプルレートをサポートすることで、アナログフィルタリングの要件は大幅に簡素化されます。さらに ADC 出力の間引きとフィルタリングによって必要な信号帯域幅のみを抽出することで、デジタルドメインにおけるダイナミックレンジ (SNR) と信号帯域幅間のトレードオフをより望ましい形にできます [参照 1]。また、コンバーターの Nyquist 帯域幅の未使用部分を多く使用して、帯域制限ディザinser を挿入し、コンバーターの線形性を改善できます。信号調整をデジタルドメインに実装することで、性能および使いやすさが向上します。通過帯域リップル、グループ遅延のばらつき、整合、ローカルオシレーター (LO) リークの問題など、中間周波数 (IF) アプローチにおける従来の RF 減衰は、大幅に削減されるかまたはなくなります。



WP489\_04\_021017

図 4: スーパーヘテロダイン レシーバーとダイレクトと サンプルング レシーバーの比較

コンバーターの性能を測るメトリクスとしては有効ビット数 (ENOB) が広く使用されています。これは、サンプルレートが低いコンバーター、または中間周波数 (IF) あるいはゼロ中間周波数 (ZIF) アーキテクチャの第 1 Nyquist ゾーンでのデータ コンバーターの使用が、レシーバーの性能および電力効率の観点から最適なアプローチであることを示唆するものとしてよく引き合いに出されます。

ただし、ENOB は正しく理解されない可能性があるため、コンバーターのノイズ スペクトル密度 (NSD) を評価する方がはるかに便利です。たとえば、ADC フル スケールの NSD は、レシーバーのブロッカー耐性とダイナミック レンジのより適正な測定値になります [参照 16]。ENOB の問題は、ノイズと歪みの副作用すべてを 1 つのメトリクスに結合してしまうことです。このような理想的でない要素は、レシーバーにさまざまな形で悪影響を与えるため個別に扱う必要があります [参照 17]。

## 完全に統合された RF 信号処理フロント エンド

ダイレクト RF サンプルング ADC および DAC をザイリンクスの All Programmable デバイスに統合すると、ZIF またはヘテロダイン アーキテクチャをベースとする現行の SDR プラットフォームに関連する多くの課題に対応できます。ザイリンクス デバイスは、DSP、汎用プロセッサ (GPP)、プログラマブル ロジック、最適化された RF 信号処理ブロック (DDC と DUC) などを含む機能の豊富なプラットフォームです。

主要な目標はより柔軟な (ソフトウェアでプログラム可能な) 無線を提供することにあります。統合によって消費電力の高い外部 I/O インターフェイスが不要になります (図 1 参照)。外部 I/O が不要になると、次の課題が解消されます。

- 既存の SDR ソリューションの重大なボトルネック [参照 18]。
- JESD204 インターフェイスの駆動に必要な多数のクロック。
- PCB 上のクロック配線とすべてのリンク同期に伴う複雑性。

外部インターフェイスがなくなると、システム消費電力も大幅に削減されます。最新の CMOS テクノロジに基づくダイレクト RF サンプリングの実装も、従来の統合ヘテロダインの実装と比較すると、消費電力とコストの点で非常に好ましいベンチマークを記録しています [参照 16]。図 5 は、ディスクリート ソリューションを使用した場合の 36W に対して、RF サンプリング コンバーターの実装では 9W になる例を示しています。

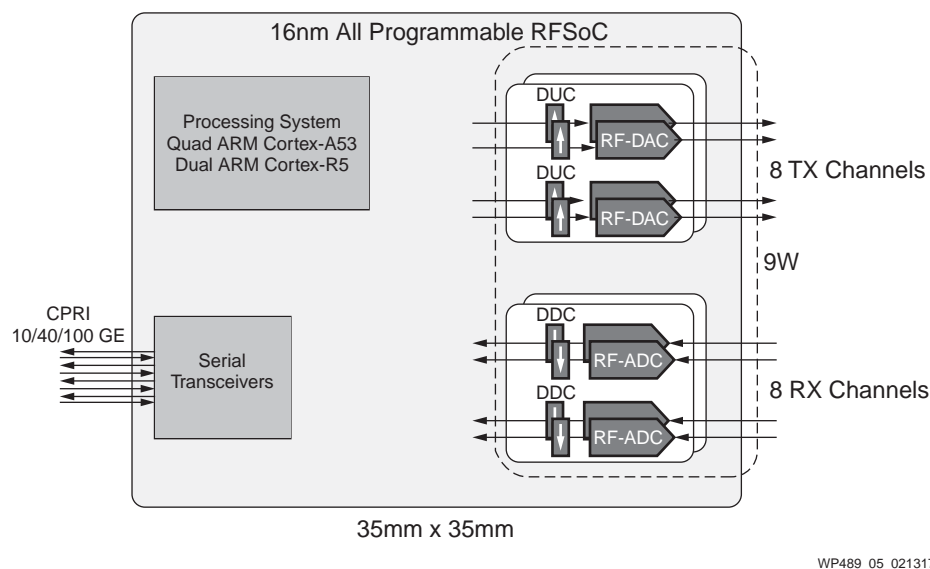


図 5: All Programmable RF フロント エンド

図 5 から、このレベルの統合がもたらす影響が図 2 と比較するとかなり大きいことが明白です。多数のコンバーターを統合することで、はるかに小さいフットプリント内にチャンネル数を増やした環境を実現でき、「次世代無線システムの課題」で説明した Massive MIMO やデジタル ビーム フォーミングなど先進的な多くの送信テクノロジーの商用化が可能になります。RF サンプリング データ コンバーターの統合により、DFE およびコンバーターのフットプリントは ~50% 削減されました。

## 16nm FinFET テクノロジでの高性能データ コンバーターの実装

近年では、先進的な CMOS テクノロジで構築された高性能アナログ デザインが大きな発展を遂げています。ザイリンクスは、最新のデジタル技術を活用し、最先端の CMOS テクノロジによる高速シリアル トランシーバー デザインを長年にわたり提供してきました。

ごく最近では、ザイリンクスは 16nm で 32Gb/s のバックプレーン対応 トランシーバーを提供しています。ほかの技術革新については、国際固体回路会議 (ISSCC) で概要を紹介しています。2017 年 2 月に、ザイリンクスは TSMC 社の 16nm FinFET プロセスでのダイレクト RF サンプリング コンバーターの性能について発表しています。13 ビットの 4GSPS RF-ADC [参照 19] および 14 ビットの 6.8GSPS RF-DAC [参照 20] を説明した 2 つの会議資料が、ギガヘルツ データ コンバーターのセッションで提示されました。引用された消費電力は、それぞれ 500mW と 330mW です。NSD と歪みの観点での非常に優れた性能は明らかに、「Big D」プロセス ノードでダイレクト RF サンプリングを採用すべきことを証明しています。

## 無線開発の包括的なプラットフォーム

シリコンは、重要ではありますが、プラットフォームソリューションの半分を占めるに過ぎません。無線ソリューションのデザインと検証のための統合ツールフロー全体が重要です。ザイリンクスは、ロジック デザイン、組み込みソフトウェア開発、シミュレーションを包含する、包括的なツールフローを提供しています。

開発者が限られたリソースを最終的な製品の技術革新と機能の差別化に集約できるよう、RF サンプリング ソリューションは、必須のソフトウェアドライバだけでなく検証およびテスト済みの IP でサポートされる必要があります。この開発環境では、複数のデザインおよびデザイン チームが IP やサブシステムを共有して再利用できます。

ザイリンクスの包括的な開発ツールの概要は、ザイリンクス ウェブサイトの「開発者ゾーン」[参照 21] を参照ください。ザイリンクスの SoC および FPGA テクノロジは、システム レベルで作業するソフトウェア エンジニアや設計者を含め、幅広い分野のエンジニアにとって一層利用しやすいものになっています。ツールで高度な抽象化がサポートされているため C/C++ を使用して設計を開始でき [参照 22]、Mathworks 社の MATLAB® および Simulink® などを利用したさらに高度な抽象化も可能です [参照 23]。

プログラマブルプラットフォーム上で開発する主な利点の 1 つは、量産で使用されるのと同じシリコン上で RFFE を含むデザインを確認して検証できることです。DFE と RFFE の協調検証は、共通の設計プラットフォームを使用することで以前よりはるかにシームレスかつ簡単になりました。

## まとめ

RFFE に関連する次世代無線ソリューションの展開には独自の課題があります。より広い帯域幅とさらに多くのチャンネル数とを組み合わせるため、DFE と RFFE 間のインターフェイスを排除する必要があることは明らかです。同時に、幅広い無線タイプのサポートが必要になります。市場投入時間を短縮して開発コストを削減する、単一の柔軟なプラットフォームが必要です。

ザイリンクスの All Programmable SoC および FPGA ベースのプラットフォームと統合された RF サンプリング データ コンバーターは、これらの課題に応える魅力的なソリューションです。この強力なテクノロジーは、まだ実現していない単一デバイス上での真の SDR 実装に最も近いソリューションです。

詳細は、[japan.xilinx.com/RFSoc](http://japan.xilinx.com/RFSoc) を参照してください。



# 参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

1. Umesh Jayamohan、Analog Device 社技術記事: [『Not Your Grandfather's ADC: RF Sampling ADCs Offer Advantages in Systems Design』](#)
2. Tommy Neu、Texas Instruments 社ホワイト ペーパー、2015 年 5 月: [『Direct RF conversion: From vision to reality』](#)
3. IEEE、『Proceedings of the IEEE』、Vol. 103、No. 3、2015 年 3 月: [『Software-Defined Radio: Bridging the Analog-Digital Divide』](#)
4. ザイリンクス ホワイト ペーパー 『ザイリンクス All Programmable FPGA および SoC を使用した高速無線デザインの実現』(WP445)
5. ザイリンクス ホワイト ペーパー 『5G に向けて: 次世代ワイヤレス システムに対応するザイリンクス ソリューションと実現技術』(WP476: [英語版](#)、[日本語版](#))
6. Jeanette Wannstrom、3GPP The Mobile Broadband Standard、ウェブサイト ページ、2017 年 1 月にアクセス: [『Carrier Aggregation Explained』](#)
7. Ove Edfors、Lund University (2015 年 8 月に公開の YouTube ビデオ)、2017 年 1 月にアクセス: [『Understanding Massive MIMO in Roughly Two Minutes』](#)
8. ウィキペディア、記事、2017 年 1 月にアクセス: [『Phased Array』](#)
9. Cisco 社ホワイト ペーパー: [『Cisco Visual Networking Index: Global Mobile Data Traffic Forecast Update, 2015–2020』](#)
10. CableLabs 社リモート PHY の仕様: <https://apps.cablelabs.com/specification/CM-SP-R-PHY>
11. Hermann Lipfert (2007 年 8 月) [『MIMO OFDM Space Time Coding – Spatial Multiplexing, Increasing Performance and Spectral Efficiency in Wireless Systems, Part I Technical Basis』](#) (テクニカル レポート)。Institut für Rundfunktechnik
12. Maxim Integrated 社アプリケーション ノート 6063、『LTE-LTE-A Release 12 Transmitter Architecture: Analog Integration』, <https://www.maximintegrated.com/en/app-notes/index.mvp/id/6063>
13. METIS Deliverable 6.6、[『Final report on the METIS 5G system concept and technology roadmap』](#)
14. Joe Mitola、IEEE Communications Magazine、1995 年 5 月: [『The Software Radio Architecture』](#)
15. Boris Murmann、IEEE Micro、第 26 巻、発行: 2006 年 3 月 2 日: [『Digitally Assisted Analog Circuits』](#)
16. Ramon Gomez、IEEE Transactions on Circuits and Systems、Vol. 63、No. 8、2016 年 8 月: [『Theoretical Comparison of Direct-Sampling versus Heterodyne RF Receivers』](#)
17. Scott Kulchyski、National Semiconductor、EETimes RF & Microwave Designline による再販: [『Software Defined Radio: Don't Talk to Me about ENOBs, Part 1』](#) および同じ資料内の [『Part 2』](#)
18. George Sklivanitis ほか、IEEE Communications Magazine、2016 年 1 月: [『Addressing Next-Generation Wireless Challenges with Commercial Software-Defined Radio Platforms』](#)
19. Bruno Vaz ほか、ISSCC 2017: 『A 13b 4GS/s Digitally-Assisted Dynamic 3-Stage Asynchronous Pipeline-SAR ADC』
20. Christophe Erdmann ほか、ISSCC 2017: 『A 330mW 14-bit 6.8GS/s dual-mode RF-DAC in 16nm FinFET achieving -70.8dBc ACPR in a 20MHz channel at 5.2GHz』
21. ザイリンクス ウェブサイト ページ: [ハードウェア最適化](#)
22. ザイリンクス ウェブサイト ページ: [Vivado@ HLS 入門](#)
23. ザイリンクス ウェブサイト ページ: [System Generator の紹介](#)

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2017年2月17日	1.0	初版

## 免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので <https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。 <http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

## 自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある[フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。