



WP500 (v1.0) 2018 年 2 月 13 日

# Zynq UltraScale+ MPSoC による オートモーティブの ESD および SEED 要件への対応

著者 : James Karp, Michael J. Hart, Wai Kooi Wong, Krime Semmoud, Desmond Yeo

Zynq UltraScale+ MPSoC は、安全性と長期にわたる信頼性が必要とされるオートモーティブ向けデザインに対して最先端テクノロジーに最適な柔軟性とデザイン ソリューションを提供し、ESD および SEED の要件に対応します。

## 概要

オートモーティブ業界では、次に対する要件が厳密に定められています。

- 高信頼性
- 過酷な環境
- 低い返品率
- 長い寿命

静電気放電 (ESD) 事象に対する保護は、これら要件を満たすための重要なデザイン パラメーターです。

電子機器の ESD 安全性は、オンチップ コンポーネント レベルとシステム レベルの 2 つのレベルの ESD 保護によって実現されます。システム レベルの ESD 保護は、PCB に搭載される専用コンポーネントで実装されます。

このホワイトペーパーでは、16nm Zynq® UltraScale+™ MPSoC の ESD 保護について説明し、要求の厳しいオートモーティブ System Efficient ESD Design (SEED) にこれを統合する際の利点を示します。

© Copyright 2018 Xilinx, Inc. Xilinx, Xilinx のロゴ, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

# はじめに

ESD に関するザイリンクスのホワイトペーパー (WP433) [参照 1] では、半導体業界における微細化傾向を示す「ムーアの法則」に則り、コンポーネントレベル ESD 耐性がどのように低下するかを紹介しました。28nm の 7 シリーズデバイス以降、ザイリンクス FPGA の ESD 耐性は旧世代と比較して約 50% 縮小してきました。この ESD を補完または緩和するために、カスタマーの製造サイトには、より厳しい ESD 制御環境が導入されてきました。それにもかかわらず、アプリケーション ESD 環境は変わらないままでした。

コンポーネント ESD 要件とシステム ESD 要件のギャップの拡大は、特にオートモーティブアプリケーションにおいて、継続的な懸案事項となりました。システム ESD 要件は、最も過酷なユーザー ESD 環境であり、極めて厳しいシステムレベル ESD 仕様が必要とされます。その結果、オートモーティブ業界はコンポーネント ESD 耐性の調整に消極的で、従来のコンポーネント ESD の目標を固持しています [参照 2]。コンポーネント ESD 仕様とシステム ESD 仕様の間で拡大し続けるギャップに対応するために、業界では System Efficient ESD Design (SEED) という新たな手法を取り入れました。この手法では、システムレベル ESD 保護の目標を達成するために、オンボードとオンチップの ESD 保護の協調設計が必要になります [参照 3] [参照 4]。Zynq UltraScale+ MPSoC は ESD 保護を備えたザイリンクスの All Programmable デバイスで、SEED に対応できるように設計されているため、システムレベル ESD 目標を容易に達成できます。

このホワイトペーパーでは、SEED を極めて容易にする Zynq UltraScale+ MPSoC の 10 項目の ESD 保護機能について説明します。オートモーティブコンポーネントレベルの ESD と SEED の両方に対応するために、150V のデバイス帯電モデル (CDM) と 1500V の人体モデル (HBM) という 2 つの ESD パラメーターで十分であることを実証します。さらに、SEED に関連するオートモーティブアプリケーションを評価し、検出されないリークに関連する ESD による損傷を招く可能性のある、既存のシステムレベル ESD 認定における抜け穴について説明します。拡張されたシステムレベル ESD 認定手法では、コンポーネントとシステムの ESD 拒否基準を一致させることを提案しています。この手法では、Zynq UltraScale+ MPSoC の使用した場合、PCB 製造時に ESD による損傷がシステムに影響することに対する障壁が極めて高くなります。

## コンポーネント レベルとシステムレベルの ESD

コンポーネントレベルとシステムレベルの ESD 保護は、耐 ESD 電子機器の主要な目標です。Zynq UltraScale+ MPSoC の製造、処理、試験の際は、歩留まりと信頼性を確保する方法として HBM 試験と CDM 試験で十分です [参照 1]。ただし、デバイスが車載向け運転支援システム (ADAS) などのシステムとして組み立てられた後は、これらの要件は適用されません。システムレベル ESD 試験は、国際電気標準会議の IEC 61000-4-2 ESD 規格 [参照 5]、または国際標準化機構による自動車用途の ISO 10605 規格 [参照 6] で定義されています。さらに、自動車メーカーが独自の ESD 認定基準 (フォード モーター社の FMC1278 など) を定めていることもよくあります [参照 7]。

Zynq UltraScale+ MPSoC により、オートモーティブ用と SEED 用の十分な ESD 保護が提供されます。ザイリンクスのデバイスの認定に使用されるコンポーネントレベルとシステムレベルの ESD 認定試験を次のセクションで説明します。

## HBM 試験

HBM は、人体に蓄積された電荷が皮膚を通して電源未投入の IC へと放電される場合のモデルです。必ず、2 本以上のピンの間で発生します。HBM 試験に合格する Zynq UltraScale+ MPSoC の最小電圧は I/O で 1,500V であり、すべての電源ピンで 2,000V というオートモーティブ用の目標値を満たしています [参照 8]。

HBM テスターで HBM ストレスをシミュレーション/テストしました。HBM ストレスを与えている間、ヒトの皮膚の電気抵抗により 1,500V HBM 電位が HBM 電流に変換されるため、IC が HBM の電圧<sup>(1)</sup> にさらされることはありません (式 1 参照)。

$$I_{\text{HBM}} = \frac{V_{\text{HBM}}}{R_{\text{skin}}} = \frac{1500}{1500} = 1\text{A} \quad \text{式 1}$$

ここで、 $R_{\text{skin}}$  は抵抗 1,500Ω としてモデル化されています。1,500V の HBM パルスは電流振幅 ≈ 1.0A、立ち上がり時間 ≈ 5–10ns、減衰時間 ≈ 150ns に相当します。

HBM は実際の ESD 脅威ではありません。実際は、Zynq UltraScale+ MPSoC との人体の接触はサプライヤーとカスタマーの両方の製造設備で排除されているためです。むしろ、HBM は SEED で重要な役割を担います。

## CDM 試験

CDM は唯一の現実世界の ESD 事象であり、電源未投入の IC に電荷が蓄積され、単一の IC ピンを経由してグラウンドに放電されたときに発生します。CDM の放電は、CDM ストレス パルスを発生させる CDM テスターでシミュレーション/テストします。Zynq UltraScale+ MPSoC の場合、CDM 試験に合格する最小電圧は 150V であり、一般に電源ピンの場合の倍以上です。これは、オートモーティブの C2 CDM コンポーネント分類に準拠しています (125V から <250V) [参照 9]。CDM ストレスの振幅は、ダイ/パッケージ サイズに敏感な関数です [参照 10]。Zynq UltraScale+ MPSoC の場合、150V の CDM パルスは電流振幅 ≈ 3.0A、立ち上がり時間 ≈ 200–300ps、減衰時間 ≈ 1–2ns に相当します。

現実の産業界における CDM ストレスは通常、環境との接触時 (供給管に沿ってスライドさせる、ロボット アームを用いてイオン化空気を通過するなど) に IC に蓄積される摩擦電荷によって発生します。IC がグラウンド接続された金属 (ATE ソケットなど) に接触すると、この電荷が放電されます。

## ラッチアップ試験と過電圧試験

Zynq UltraScale+ MPSoC は、±100mA のラッチアップ電流注入、50% の電源過電圧仕様に満たしており、オートモーティブ規格に準拠しています [参照 11]。

1. いわゆる「接続なし」のピン、つまり、ダイに接続されていないフローティング状態のパッケージピンです。HBM の全電圧を参照してください。

## システム レベル試験

システム レベル試験は、ユーザー制御下でない ESD 環境におけるパワーオンとパワーオフ両方の PCB 試験です。「ESD ガン」を使用して、接触モードと気中放電モードの両方の ESD 事象を疑似的に発生させます。前者はシステムに直接加える ESD ストレスをシミュレーションする方法で、後者はシステムに近づけて放電をシミュレーションする方法です。これにより、電磁干渉 (EMI) に対する耐性を評価します。システム レベル ESD 規格と試験の包括的レビューは「参考資料」にあります [参照 3]。

図 1 に示すように、同じ規模の ESD ストレスを印加した場合、コンポーネント CDM、HBM、システム ESD の間には 1 桁以上の差があることがわかります。この図は、オンボードの過渡電圧サプレッサ (TVS) とオンチップの ESD 保護機能で ESD 放電を分担するという、SEED のコンセプトも示しています [参照 3]。

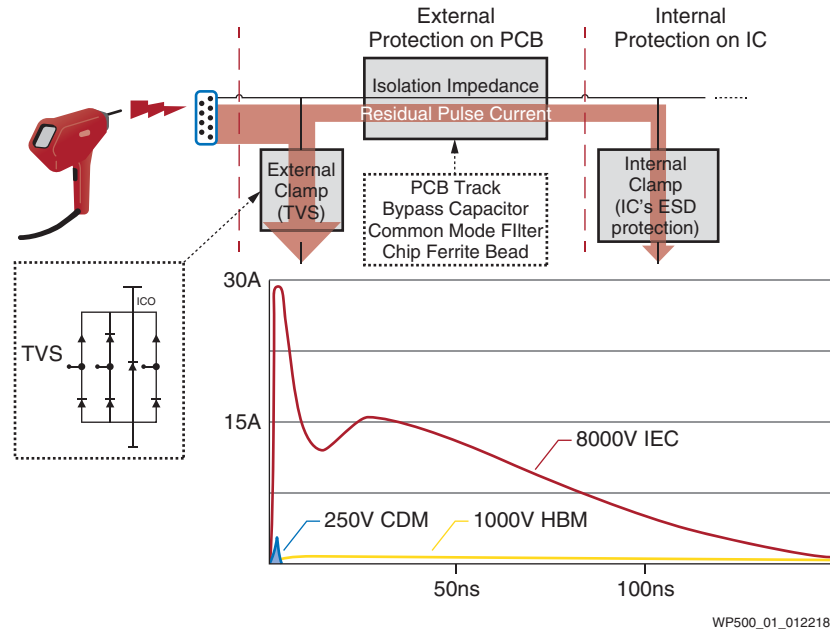


図 1: コンポーネント CDM、HBM、システム ESD に対する ESD ストレス

## CDM/HBM のデザインと SEED との相互作用

オンチップの CDM を設計する際の最重要検討事項は、CDM 放電時のすべての電荷放出経路で IR ドロップが小さくなるようにすることです。3A の CDM 電流の場合、CDM 放電経路の抵抗が  $1\Omega$  であっても、トランジスタ間で 3V のストレス電圧が発生することがあります。ムーアの法則によると、トランジスタ寸法が小さくなるほど、耐電圧が低くなります (FinFET トランジスタ故障の主要パラメータは 2-3 ボルトの範囲)。CDM ロードマップが下降し、20nm と 16nm の両方のテクノロジー ノードで CDM 上限を 125V に設定しているのはこのためです [参照 1]。ザイリンクス UltraScale ファミリーと UltraScale+ ファミリーはそれぞれ、20nm と 16nm のテクノロジーで製造され、ロードマップ要件を上回り、150V の CDM を満たしています。テクノロジーが 20nm から 16nm へと進化しても CDM 耐性に変化はなく、両方のプロセス ノードの ESD 安全性認定は同じであるため、UltraScale デバイスから UltraScale+ デバイスへの移行は容易です。

HBM オンチップ デザインは、HBM 放電経路に低電流密度 ( $j_{\text{HBM}}$ ) を備えなければならないという点が CDM と異なります。これにより、メタライゼーションと ESD 素子の溶解を防ぎます。 $j_{\text{HBM}}$  を下げるために、ESD デザインでは、メタライゼーションの断面積と ESD 素子のサイズを大きくしています。CDM 基準とは逆に、HBM デザイン基準は通常、トランジスタの耐電圧からは切り離されています。このため、HBM 強度はムーアの法則とは無関係という様相を呈します。ただし、実際には、HBM デザインによって I/O パフォーマンスが影響を受けます。HBM 素子のサイズが大きくなると、キャパシタンスが増大し、I/O スピードが低下し、帯域幅が抑えられます。パフォーマンスの観点からは、I/O ESD 素子のサイズはできるだけ小さくする必要があります。ザイリンクス デバイスでは、パフォーマンスと ESD の協調設計の課題は T コイルによる相殺で解決しています [参照 12]。この革新的技術により、1,000V HBM の産業ロードマップが書き換えられ、1,500V HBM で 32Gb/s (GT) のトランシーバー性能が実現しました。

## システム ESD 保護

帯電デバイス モデル (CDM): IC を PCB に取り付けた後は、CDM の脅威はなくなります (コンポーネント レベルで定義されるため)。したがって、オンチップ CDM 保護の属性は使用されなくなり、SEED はサポートされません。934 の PCB デザインと出荷済みの 95 億個の IC の故障解析統計がこの裏付けとなっています。この研究では、故障率が CDM 耐性に依存しないことが示されました [参照 13]。

人体モデル (HBM): CDM とは異なり、HBM は SEED 協調設計の主要パラメーターとなります。HBM は、100pF キャパシタ、電圧 1,500V、放電抵抗 1,500Ω でモデル化したものです。IEC ESD ストレスは、150pF キャパシタ、電圧 8,000V、放電抵抗 330Ω でモデル化したものです。これにより、どちらの放電についてもほぼ同じ時間領域の特性が得られます (図 1 参照)。この時間領域の類似性が SEED 協調設計の基礎となります。システム ESD の約 95% は、オンボード ESD 保護機能を介してグラウンドに放電されます。わずかな残りは「残留パルス」として定義され、オンチップ HBM リソースを使用してグラウンドに向けられます (図 1 参照)。ESD 制御の前は、この分は 2,000V HBM に調整されていました。ESD 制御を使用する場合、オンボード保護を 1,000V HBM まで再調整する必要がありました。この再調整を不要にするため、Zynq UltraScale+ MPS では HBM 耐性が強化され、I/O に対して 1,500V、電源レールに対して 2,000V に対応します。

## SEED を容易にする 10 項目の ESD 保護機能

Zynq UltraScale+ MPSoC の ESD 保護には、オートモーティブと SEED の要件を満たす目的で設計された 10 項目の拡張機能が実装されています。

1. ESD 保護では、ラッチアップ ベースのシリコン制御整流器 (SCR) とスナップバック デバイスは使用しません<sup>(1)</sup>。

安全なオートモーティブ エレクトロニクスを実現するために重要なのは、過電圧耐性です。ESD または EMI による過渡電流がデバイスに伝搬し、SCR やスナップバック ESD 保護デバイスを低インピーダンス状態にし、その後、その ESD 素子を損傷させる可能性があります。SEED を容易にするために、Zynq UltraScale+ デバイスでは SCR/スナップバック ESD 保護を使用しません。

1.  $V_{\text{BATT}}$  は、超低リーク電流スナップバック デバイスで保護されている唯一のピンです。 $V_{\text{BATT}}$  は、暗号キーメモリのバックアップバッテリー電源です。通常、オートモーティブのカスタマーはこの機能を使用しません。

- ESD 保護は順方向バイアス ESD ダイオードと RC クランプのみで設計されています。

ESD による過渡電流時は、RC クランプが有効になり、ESD ダイオードは順方向バイアス モードに切り替えられます (図 2 を参照)。ただし、これらのデバイスを流れる電流は、特性インピーダンスによって自ら制限されます。ESD または EMI による過渡電流が SEED で抑制されると、即時にオフステートに戻り、逆方向バイアスが印加されます。

- すべての ESD デバイスは TSMC 認定の ESD 規格ライブラリ (SPICE サポート付き) から「現状有姿」で取り込まれます。

TSMC 標準の ESD ライブラリは大電流 HSPICE ESD モデルでサポートされます。これらの曲線は、IBIS パッケージ (販売代理店から入手可能) を利用するカスタマー向けです。これを使用すると、同じ PCB 上のほかの IC に対する類似の ESD 保護で、SEED ソリューションのアライメントと統一が容易になります。
  - 絶縁グランド領域はパッケージのグランド プレーンまたはバックツープック ダイオードを介して連結されています。

SEED デザインのストラテジは、ESD による過渡電流を PCB グランド プレーンを経由してグランドに流すか、オートモーティブ インプリメンテーションの場合は共通シャーシに流すことが基本です。項目 4、5、6 では、Zynq UltraScale+ MPSoC に同様のストラテジを実装しています。これにより、SEED が大幅に容易になります。
  - 各領域での ESD 電荷はまず低インピーダンスのグランド プレーンに向けられ、次に外部に放出されます。
  - 異なる電圧電源間に ESD 素子は配置されません。
  - パッケージの電源とグランド間のキャパシタ ( $\approx 1\mu\text{F}$ ) によってチップの ESD バイアスが提供されます。

パッケージの電源とグランド間のデカップリング キャパシタは ESD 事象の低インピーダンス シャントであり、非常に優れた ESD 保護素子です (図 2 を参照)。
  - パッケージの 4 本のコーナー ピンは常にパッケージのグランド プレーンに接続されています。

コーナー ピンのオートモーティブ コンポーネント CDM 規格は 750V [参照 9] です。これに対し、Zynq UltraScale+ MPSoC の CDM は高性能 I/O によって制限されるため、この約 1/5 となります。このギャップを埋めるために、2 つの Zynq UltraScale+ MPSoC (SBVA484 パッケージに組み込まれた XAZU2EG と XAZU3EG) の 4 本のコーナー ピンが GND パッケージ プレーンに接続され、高い ESD 耐性を確保しています。
  - すべての電圧電源はオートモーティブ HBM 規格の最大 2,000V をはるかに上回っています。

Zynq UltraScale+ MPSoC は、電源の ESD 保護のために、2,000V HBM と 500V CDM への対応が認定された TSMC 電源 クランプを使用して設計されています。これにより、デザインはオートモーティブの HBM レベルに合格します。
  - すべての I/O は、業界で許容可能な 1,000V を大幅に上回る 1,500V に対応するように HBM が強化されています。

残留パルスは、図 1 に示すように、I/O ピンの位置でデバイスに流れる可能性があります。SEED では、コンポーネント レベル HBM 条件下で残留ピーク電流を I/O ピン故障電流よりも低くする必要があります。コンポーネント HBM 通過電圧が高いほど、SEED タスクが容易になります。
- 図 2 に示すように、Zynq UltraScale+ MPSoC の ESD 保護はオンチップ ESD 素子 (青) と独自のオンチップ低インピーダンス ESD 配線 (緑) の両方に依存します。パッケージのデカップリング キャパシタ  $C_D$  が、(赤の点線で示した) ESD 放電のためのチップバイパスを提供する追加の ESD 保護素子として機能します。

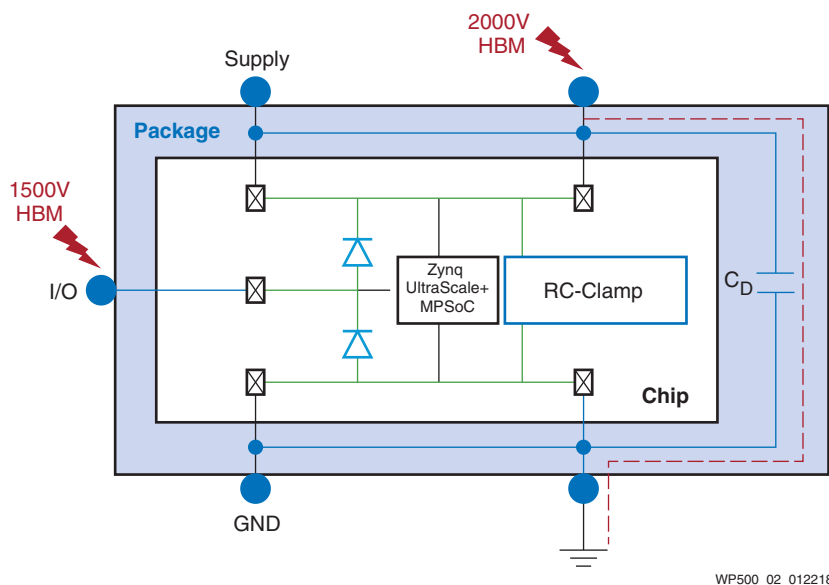


図 2: オンチップ ESD 素子とオンチップ低インピーダンス配線による ESD 保護

## SEED 協調設計

SEED の重要なパラメーターの 1 つはオンボード ESD 保護であり、これは必ずオンチップ ESD 保護よりも優先されなければなりません。この目的は、システム レベル ESD 事象からの数十アンペアの電流が 1A 対応のオンチップ ESD 保護を通過して放電された場合に IC の損傷を回避することです。Zynq UltraScale+MPSoC の場合、次の協調設計手法が推奨されます。

- I/O ESD 保護: 順方向バイアスのシリコン ESD ダイオード (図 2) に基づいて、Zynq UltraScale+ MPSoC ESD デザインに代わって SEED は順方向バイアスのショットキー ダイオードを使用できます。このダイオードは Si PN ダイオードよりも前にオンになります (図 3 参照)。
- 電源保護: 適切に選択された TVS が RC クランプ電源の代わりとなり、システム ESD 放電を吸収します。ただし、図 3 (右側) に示すように、パッケージ キャパシタが存在する場合、この TVS は無用になります。パッケージ キャパシタを備えていない Zynq UltraScale+ MPSoC 電源もあるため、SEED 協調設計では製品資料 [参照 14] で各電源の情報を確認する必要があります。

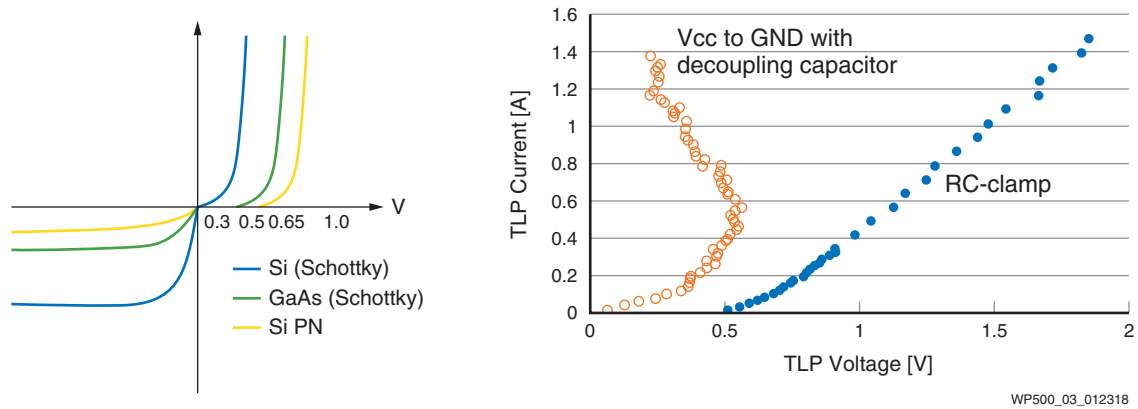


図 3: Zynq UltraScale+ MPSoC のオンチップとオンボードの協調設計

SEED では、外部と内部の IC ピンの定義から始めます (図 4 を参照)。デバイス上のトランシーバーと MIO ピンは外部に直接接続できます。ただし、I/O に対しては通常、ボード上のほかの IC (メモリ、プロセッサ、カメラなど) が外部との直接接続の緩衝として機能し、オンボードの高精度な電圧レギュレータから電力供給されます。このようなオートモーティブアプリケーションの例を図 4 に示します。

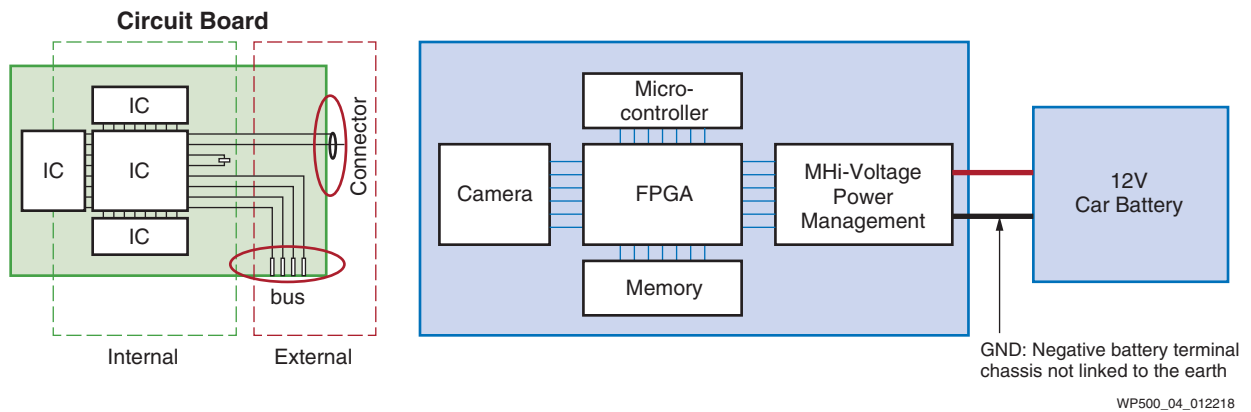


図 4: オートモーティブアプリケーションの例

ザイリンクスが受け取る RMA には、内部ピンに EIPD (Electrically Induced Physical Damage) の痕跡があるものがあります。これは、実際の ESD イベントと EMI イベントが内部ピンに結合して EIPD を引き起こす可能性があることを示します。カスタマーからの返品約 30% に、高精度電圧レギュレータ (低ドロップアウト (LDO) レギュレータなど) に接続された内部電源に EIPD があります。通常、このタイプの損傷では、顕著な過電圧 (EOS) の痕跡が見られます。電源損傷を避けるために、PCB 設計者は次のような保護機能を適用した LDO を検討する必要があります。

- すべての正パルスと負パルスへの対処。
- 反転入力極性への対処。オートモーティブ用途では、不適切なジャンプスタートに対する耐性を意味します。
- 入力過電圧シャットダウン。オートモーティブ用途では、バッテリーのケーブルが緩み、オルタネーターから車両に電源供給されたときに発生する「ロードダンプ保護」がこれに該当します。
- 出力過電圧シャットダウン。グランド基準が不十分であるか、まったくない場合、非常に高いレベルに出力電圧をサージするように LDO 演算増幅器が強制される可能性があります。



SEED のもう 1 つの主な懸案事項が EMI です。電磁パルスの強度を連続的に増やして、オートモーティブ EMI 試験を実施しました [参照 15]。「エンジン停止」状態と「エンジン稼働」状態の両方の自動車を対象でした。電磁パルス放出中、「エンジン停止」していた自動車でも EMI の影響は観察されませんでした。誤作動が観察されたのは、運転中の自動車のみでした。これらの運転中の車両の多くは、即時にリスタートできませんでした。車両をリスタートさせるには、バッテリーを一時的に切断する必要がありました。この結果から考慮すべき点は、a) EMI は、コンポーネント レベル ESC 試験の条件である電源切断状態の電子機器に損傷を与えない、b) EMI は、電子機器が電源投入状態である場合、ラッチアップを招く可能性があるということです。ラッチアップ電流は 2 つの端末 (電源とグランド) の間に存在します。Zynq UltraScale+ MPSoC では、EMI に対応する SEED を容易にする 2,000V の HBM を有効にするために、厚い導体膜によるメタライゼーションが採用されています。

## 潜在的な損傷

信頼性における「潜在的な損傷」とは、デバイスが損傷を受けているが故障としては検出されず、継続的な懸案事項になっている状態を意味します [参照 16]。潜在的な損傷のあるデバイスがないことを示すには、どのようなレベルの試験やスクリーニングが必要でしょうか。Automotive Component Council Committee では、機能的でパラメトリックな I-V 検証を要求しています。これは「室温と高温」で、事前と事後の HBM、CDM、ラッチアップの認定ストレス試験です [参照 2]。通常、Zynq UltraScale+ MPSoC の合格/不合格の基準には、ストレス試験前の新規デバイスと比較したリーク増大が含まれます。機能的な不具合を誘発するため、より強い ESD ストレスが必要になることもよくあります。多くの場合、機能的な不具合は EIPD に関連しています。このため、Zynq UltraScale+ MPSoC の ESD 耐性の実際の限界を決めるのは、EIPD や機能的な不具合ではなく、リーク増大です。

一方、システム レベル ESD 認定の合格/不合格の基準は、被試験ボード (BUT) の機能性です [参照 3]。このことが、不完全な SEED が認定されてしまうという状況を作り出しています。SEED が不完全なシステムは、システム認定時と同様に、潜在的な損傷のあるデバイスとなり得ます。このような検知されなかった損傷が、現場で機能的な不具合に発展して、RMA として報告される可能性があります。システム レベル ESD 認定時の潜在的な損傷の抜け穴をなくすために、ザイリンクスは、Zynq UltraScale+ MPSoC コンポーネントとシステム レベルの合格/不合格の基準 [参照 17] を次のように一致させることを提案します。

1. 事前 ATE 試験:<sup>(1)</sup> BUT に配置するすべての Zynq UltraScale+ デバイスは、コンポーネント ESD 認定時と同じ方法で ATE 試験を再度実施し、テスト結果を記録する。
2. 事後 ATE 試験:<sup>(1)</sup> システムが「ESD 認定合格」と判定された後に、すべての Zynq UltraScale+ MPSoC を BUT から取り外し、リポールして、事後 ATE 試験を実施する。
3. 事前と事後の ATE の結果を比較し、Zynq UltraScale+ MPSoC の ESD/ラッチアップ 認定と同様に合格/不合格の基準を適用する。

---

1. 事前と事後の ATE 試験は、請負業者または (適切な取り決めによって) ザイリンクスの試験所で実施可能です。

## まとめ

コンポーネントレベル ESD 耐性にムーアの法則を適用することで、System Efficient ESD Design (SEED) 手法が生まれました。SEED では、システムレベル ESD 耐性の目標を実現するために、オンボードとオンチップの ESD 保護の協調設計が必要になります。

この新たな要件を満たすために、Zynq UltraScale+ MPSoC は SEED に対応した 10 項目の ESD 保護機能で設計されています。CDM 耐性はシステム ESD デザインに影響を与えません。システム ESD デザインはプリスケール 2,000V 規格と比較して減少した 1,500V の I/O HBM 耐性を SEED 協調設計で補完する必要があります。潜在的な損傷の抜け穴があることは周知であり、SEED 認定手法で確認されています。この抜け穴をなくすため、コンポーネントレベルとシステムレベルの合格/不合格の基準を一致させる必要があります。

### 追記:

1950 年代から 1960 年代のほとんどの米国車では、シートメタルの厚さは約 0.05 インチでした。新型車で使用されているシートメタルの厚さはおよそ 0.03 インチ以下となっています。ただし、新型車では、ヒトの安全性に関する要件が以前よりもはるかに厳しくなっています。この要件を満たすために、シートベルト、エアバッグ、電子安全装置その他の多くの革新技术が実装されてきました。

コンポーネントの ESD 耐性でも同様の傾向が見られました。自動車用のシートメタルの厚さと同様に、コストとパフォーマンスという同じ理由から小型化が進んできました。ここでも、新型車の電子機器の安全性を確実にするために、SEED などの新しいソリューションが導入されてきました。

このホワイトペーパーでは、オートモーティブという重要な市場における安全性とカスタマーサポートに対するザイリックスの継続的な取り組みについて紹介しました。

## 参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

1. ザイリンクスのホワイトペーパー、J. Karp, M. J. Hart, T. C. Chai, 『ザイリンクス7シリーズデバイスにおけるシステムレベルESDとEOSの理解と緩和』(WP433 v1.0, 2013年6月24日)  
[https://japan.xilinx.com/support/documentation/white\\_papers/wp433-Mitigating-ESD-EOS.pdf](https://japan.xilinx.com/support/documentation/white_papers/wp433-Mitigating-ESD-EOS.pdf)
2. 『Failure Mechanism Based Stress Test Qualification For Integrated Circuits』(AEC-Q100, Rev H, 2014年9月11日)  
[http://www.aecouncil.com/Documents/AEC\\_Q100\\_Rev\\_H\\_Base\\_Document.pdf](http://www.aecouncil.com/Documents/AEC_Q100_Rev_H_Base_Document.pdf)
3. 『White Paper 3: System Level ESD, Part I: Common Misconceptions and Recommended Basic Approaches』(Rev 1.0, 2010年12月)  
<https://www.esda.org/about-esd/white-papers>
4. C. Duvvury, H. Gossner, 『System Level ESD Co-design』(IEEE Press, John Wiley & Son, West Sussex, UK, 2015)
5. 『Electromagnetic Compatibility (EMC), Part 4-2: Testing and Measurement Techniques—Electrostatic Discharge Immunity Test』(IEC 61000 4-2, 2008)  
<https://webstore.iec.ch/publication/4189>
6. 『Road vehicles—Test Methods for Electrical Disturbances from Electrostatic Discharge』(ISO Standard 10605, International Organization for Standardization, 2008年)  
<https://www.iso.org/standard/41937.html>
7. 『Electromagnetic Compatibility (EMC) Requirements for Electrical/Electronic Components and Subsystems』(FMC1278, Ford Motor Company (FMC))  
<http://www.fordemc.com/docs/download/FMC1278.pdf>
8. 『Automotive Electronic Counsel HBM』(AEC-Q100-002 Rev-E, p. 5, 2013年8月20日)  
[http://www.aecouncil.com/Documents/AEC\\_Q100-002E.pdf](http://www.aecouncil.com/Documents/AEC_Q100-002E.pdf)
9. 『Automotive Electronic Counsel CDM』(AEC-Q100-011 Rev-C1, p. 12, 2013年3月12日)  
[http://www.aecouncil.com/Documents/AEC\\_Q100-011C1.pdf](http://www.aecouncil.com/Documents/AEC_Q100-011C1.pdf)
10. J. Karp, V. Kireev, D. Tsaggaris, M. Fakhruddin, 『Effect of Flip-Chip Package Parameters on CDM Discharge』(EOS/ESD Symposium, Tucson, AZ, 2008年)  
<http://ieeexplore.ieee.org/document/4772108/>
11. 『Automotive Electronic Counsel Latch-Up』(AEC-Q100-004, p. 2, Rev-D, 2012年8月7日)  
[http://www.aecouncil.com/Documents/AEC\\_Q100-004D.pdf](http://www.aecouncil.com/Documents/AEC_Q100-004D.pdf)
12. J. Karp, M. J. Hart, M. Fakhruddin ほか, 『FinFET MPSoC 32Gb/s Transceivers: Custom ESD Protection and Verification』(2016 IEEE 59th International Midwest Symposium on Circuits and Systems, 2016年10月)  
<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=7869952>
13. 『White Paper 2: A Case for Lowering Component Level CDM ESD Specifications and Requirements』(pp. 69–70, 2009年3月, Rev. 1.0)  
<https://www.esda.org/about-esd/white-papers>
14. 『Zynq UltraScale+ MPSoC パッケージおよびピン配置ユーザーガイド』(UG475: 英語版、日本語版)
15. J. Emanuelson, 『EMP Effects on Vehicles』(Futurescience, LLC)  
<http://www.futurescience.com/emp/vehicles.html>
16. J. E. Vinson ほか, 『ESD Design and Analysis Handbook』(p. 52, Kluwer Academic Publishers, Norwell, MA, USA, 2003年)
17. J. Karp ほか, 『Automotive System Level ESD Qualification with Component Level Pass/Fail Criteria』(2018年5月にベルギーで開催される国際ESDワークショップで公開予定)

## その他のリソース

ザイリンクス デバイスの信頼性テスト データと結果は、『デバイス信頼性レポート』(UG116) を参照してください。このレポートは年 2 回更新されます。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2018 年 2 月 13 日	1.0	初版

## 免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」、以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

## 自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品責任の制限を規定する適用法令および規則にのみ従うものとします。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある[フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。